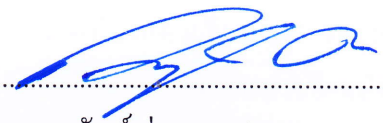
การแนะนำลำดับขาอุปกรณ์ด้วยรูปแบบเซตสำหรับการเดินเส้นสัญญาณบนบอร์ดแผ่นปริ้น

วีระเดช ขุมทอง

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ มหาวิทยาลัยบูรพา
สิงหาคม 2560
ลิขสิทธิ์เป็นของมหาวิทยาลัยบูรพา

คณะกรรมการควบคุมวิทยานิพนธ์และคณะกรรมการสอบวิทยานิพนธ์ ได้พิจารณาวิทยานิพนธ์ของ วีระเดช ขุมทอง ฉบับนี้แล้ว เห็นสมควรรับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ของมหาวิทยาลัยบูรพาได้

คณะกรรมการควบคุมวิทยานิพนธ์



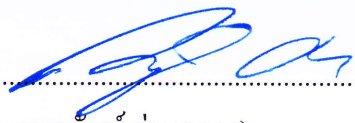
..... อาจารย์ที่ปรึกษาหลัก

(ดร. ภาณุวัฒน์ ด่านกลาง)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธาน

(ผู้ช่วยศาสตราจารย์ ดร.ศุภชัย วรพจน์พิศุทธ์)

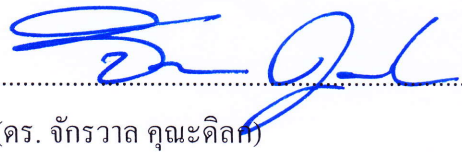


..... กรรมการ

(ดร. ภาณุวัฒน์ ด่านกลาง)

..... กรรมการ

(รองศาสตราจารย์ วิรุฬห์ ศรีบริรักษ์)



..... กรรมการ

(ดร. จักรวาล คุณะดิลก)

คณะวิศวกรรมศาสตร์อนุมัติให้รับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ของมหาวิทยาลัยบูรพา

..... คณบดีคณะวิศวกรรมศาสตร์

(ดร. อาณัติ ดีพัฒนา)

วันที่ 8 เดือน สิงหาคม พ.ศ. 2560

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำหรับลุล่วงไปได้ ด้วยความช่วยเหลืออย่างดียิ่งจาก ดร. ภาณุวัฒน์ ด่านกลาง อาจารย์ที่ปรึกษาวิทยานิพนธ์ และรองศาสตราจารย์ วิรุฬห์ ศรีบริรักษ์ ที่ได้ให้ความช่วยเหลือและให้คำปรึกษาและแนะนำแนวทางที่ถูกต้อง ตลอดจนแก้ไขข้อบกพร่องต่าง ๆ ด้วยความละเอียดถี่ถ้วน และเอาใจใส่ด้วยดีเสมอมา ขอขอบพระคุณคณะกรรมการการสอบวิทยานิพนธ์ทุกท่านที่กรุณาให้คำแนะนำที่เป็นประโยชน์ในการพัฒนางานศึกษาให้สามารถใช้ประโยชน์ต่อไปได้ในอนาคต ตลอดจนคณาจารย์ประจำภาควิชาวิศวกรรมไฟฟ้าทุกท่านที่ช่วยแนะนำสิ่งที่เป็นประโยชน์เพื่อให้สามารถทำวิทยานิพนธ์จนเสร็จสมบูรณ์

ผู้จัดทำวิทยานิพนธ์ขอขอบคุณภาควิชาวิศวกรรมไฟฟ้า ที่ได้เอื้อเฟื้อสถานที่ทำการทดลอง เครื่องมือและอุปกรณ์ในการทำวิทยานิพนธ์ อีกทั้งขอขอบคุณเพื่อนนิสิตที่ช่วยให้คำแนะนำในการแก้ไขปัญหา และช่วยเหลือการจัดหาอุปกรณ์เครื่องมือสำหรับการทดลองของวิทยานิพนธ์นี้

นอกจากนี้ยังมีบุคคลอีกหลายท่านที่ไม่ได้กล่าวถึง ที่มีส่วนช่วยเหลือในการจัดทำวิทยานิพนธ์ครั้งนี้ ผู้จัดทำขอขอบพระคุณมา ณ ที่นี้ด้วย

วีระเดช ขุมทอง

55910295: สาขาวิชา: วิศวกรรมไฟฟ้า; วศ.ม. (วิศวกรรมไฟฟ้า)
คำสำคัญ: การออกแบบแผ่นปริ้น/ พินขา/ แนะนำ/ การออกแบบอัตโนมัติ/ สมการ/ อัลกอริทึม ออกแบบและวิเคราะห์/ สมการคณิตศาสตร์

วีระเดช ขุมทอง: การแนะนำลำดับขาอุปกรณ์ด้วยรูปแบบเซตสำหรับการเดินเส้นสัญญาณบนบอร์ดแผ่นปริ้น (PIN SET SEQUENCE SELECTION GUIDELINE FOR PRINTED CIRCUIT BOARD ROUTING) คณะกรรมการควบคุมวิทยานิพนธ์: ภาณุวัฒน์ ด่านกลาง, ปร.ด. 44 หน้า. ปี พ.ศ. 2560.

ในปัจจุบันการเขียนวงจรบนบอร์ดได้รับความสนใจจากนักวิจัยหลาย ๆ ท่าน ดังเช่น เรื่องการออกแบบเพื่อหลบหลีก และการความคุมระยะของเส้นสัญญาณรวมไปถึงการออกแบบเส้นสัญญาณที่สั้นที่สุด อย่างไรก็ตามการเขียนวงจรนั้นยังคงถูกเขียนขึ้นด้วยตนเอง สาเหตุมาจากการที่มีพินขาเป็นจำนวนขาออกมาขอบด้านนอกมากบนอุปกรณ์ หรือบนส่วนประกอบอิเล็กทรอนิกส์ เพื่อที่จะแก้ไขปัญหาดังกล่าว ผู้เขียนจึงได้ทำการค้นคว้าวิจัยวิทยานิพนธ์เล่มนี้ขึ้นเพื่อเสนอเทคนิคใหม่ ๆ เพื่อที่จะชี้นำกระบวนการเขียนวงจร โดยมีชื่อเรียกว่าเทคนิค Pin Set Sequence (PSS) ในงานวิจัยฉบับนี้ได้มีการนำเสนอกลวิธีการใหม่ ให้มีการคัดกรองคู่พินขา โดยพินขาของอุปกรณ์แต่ละตัวนำเข้าในรูปแบบเซต จากนั้นทำการสร้างคู่อันดับด้วยผลคูณคาร์ทีเซียน เซตคู่อันดับจะสามารถทำการเดินเส้นสัญญาณได้ทันที สามารถระบุตำแหน่งของลำดับคู่พินขาในอันดับแต่ละชั้นบนบอร์ดได้ โดยการทดลองใช้ผลจากระยะเวลามีหน่วยเป็นมิลลิวินาที และระดับชั้นที่เกิดขึ้นจากการประมวลผล รวมเป็นคะแนนเพื่อประเมินระดับความซับซ้อนของวงจร มีการจำลองจำนวนคู่พินของอุปกรณ์หลายระดับ จากการทดสอบพบว่า เทคนิคใหม่ที่นำมาเสนอนี้ เมื่อนำมาประยุกต์ใช้ ทำให้การประมวลผลใช้เวลาน้อยลงกว่าร้อยละ 50 ของเวลาทั้งหมด และไม่ส่งผลต่อกระบวนการออกแบบ ทั้งยังสะดวกต่อการนำไปประยุกต์ใช้จริงกับกระบวนการออกแบบอัตโมัติ

55910295: MAJOR: ELECTRICAL ENGINEERING; M.Eng. (ELECTRICAL ENGINEERING)
KEYWORD: PCB ROUTING/ PINS/ GUIDELINES/ DESIGN AUTOMATION/ EQUATION/ ALGORITHM DESIGN AND ANALYSIS/ MATHEMATICAL MODEL
WERADECH KUMTONG: PIN SET SEQUENCE SELECTION GUIDLINE FOR PINTED CIRCUIT BOARD ROUTING, ADVISORY COMMITTEE: PANUWAT DANKLANG, Ph.D. 44 P. 2017.

Currently, Auto-routing algorithms on Printed Circuit Boards (PCB) have been the focus of many researchers such as escape routing, length matching and shortest part. However the PCB routing is still being designed manually because there are too many boundary pins on electronic devices or components. To compensate for this problem, the author researching this dissertation proposes a new technique to generate guidelines for boundary pins routing processes called Pin Set Sequence (PSS). This proposed technique uses a new algorithm for selections and guidelines to generate routing by pin assignment to form and make the set of sequences using Cartesian Product. Therefore this set of sequences can generate routing guidelines and show a sequence of pin couples in another layer on the circuit board. To summarise total score of circuit complexity, the author has simulated the complex circuit and evaluated total layer of circuit board and operating time of calculation process in millisecond unit. The experimental results demonstrate that PSS is possible for sequential pairing process, especially the operating time of PCB routing which is decreased more than 50%. Moreover, it does not affect to the design and it can be applied to actual auto-routing processes.

สารบัญ

หน้า

บทคัดย่อภาษาไทย..... ง

บทคัดย่อภาษาอังกฤษ..... จ

สารบัญ..... ฉ

สารบัญตาราง..... ซ

สารบัญภาพ..... ฌ

บทที่

1 บทนำ 1

ความเป็นมาและความสำคัญของปัญหา..... 1

วัตถุประสงค์ของการวิจัย..... 2

ขอบเขตของการวิจัย..... 3

ประโยชน์ที่คาดว่าจะได้รับ..... 3

ขั้นตอนและวิธีการดำเนินการวิจัย..... 3

2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง..... 4

เทคโนโลยีการเดินเส้นสัญญาณอัตโนมัติ..... 4

การเดินเส้นสัญญาณแบบหลีกเลี่ยง..... 4

การเดินเส้นสัญญาณแบบระยะทางที่สั้นที่สุด..... 4

การเดินเส้นสัญญาณในลักษณะการควบคุมขนาดเส้นสัญญาณ..... 9

ทฤษฎีของเซต..... 14

3 ขั้นตอนและวิธีการดำเนินงาน..... 16

ภาพรวมของระบบ..... 16

กระบวนการดำเนินงาน..... 18

4 ผลการวิจัย..... 31

เครื่องมือที่ใช้ในงานวิจัย..... 31

ขอบเขตการทดสอบ..... 31

วิธีการทดสอบ..... 31

สารบัญ (ต่อ)

บทที่		หน้า
5	สรุปผลการทดลอง	42
	สรุปผลการศึกษา	42
	ปัญหาที่พบระหว่างการทดลอง	42
	ข้อเสนอแนะและแนวทางในอนาคต	42
บรรณานุกรม		43
ประวัติย่อของผู้วิจัย		44

สารบัญตาราง

ตารางที่		หน้า
2-1	ผลลัพท์จากจุด A ไปจุด E	6
3-1	ระดับการเปรียบเทียบคะแนนความซับซ้อนของวงจร	30
4-1	เวลาผลการจับคู่และทำการนำเส้นทางการเดินเส้นสัญญาณ	33
4-2	เวลาผลการจับคู่เมื่อทำการสลับขาของอุปกรณ์	35
4-3	เวลาผลคะแนนการจับคู่เมื่อทำการสลับขาของอุปกรณ์ 8 ตัวและคู่พินสัมพันธ์ 50 คู่	36
4-4	เวลาผลคะแนนการจับคู่เมื่อทำการหมุนของอุปกรณ์ทั้ง 8 ตัวและคู่พินสัมพันธ์ 50 คู่	37
4-5	เปรียบเทียบเวลาระหว่างการออกแบบเส้นสัญญาณก่อนใช้และหลังใช้เทคนิคการจัดลำดับพินในรูปแบบเซต	40

สารบัญภาพ

ภาพที่		หน้า
2-1	การหาระยะเส้นทางจากจุด A ไปจุด E	5
2-2	ระยะการดินทางจากจุด A ไปจุด E ทั้ง 2 แบบ ซ้ายและขวา	5
2-3	ลักษณะของเส้นสัญญาคู่ต่าง	7
2-4	กำหนดเส้นทางคู่ที่แตกต่างกัน	8
2-5	ลักษณะของการเดินเส้นสัญญาณแบบ Boundary routing	8
2-6	ภาพประกอบการเดินเส้นสัญญาณแบบัส	10
2-7	ลักษณะของการเดินเส้นสัญญาณแบบพื้นที่	11
2-8	ลักษณะของการเดินเส้นสัญญาณแบบ Wall-Routing	12
2-9	การทำ Dynamic pin sequence	13
2-10	การทำ Dynamic pin sequence และ Wall routing	13
2-11	ลักษณะการทำผลคูณคาร์ทีเซียน	15
3-1	ตัวอย่างการเชื่อมกันของเส้นสัญญาญ UART ที่ทำการเชื่อมกันระหว่างอุปกรณ์ 2 ตัว	16
3-2	ภาพรวมของระบบ	17
3-3	ความเชื่อมโยงกระบวนการ Set sequence กับกระบวนการออกแบบปกติ	18
3-4	ของอุปกรณ์ประเภทอุปกรณ์ที่มีพินขาด้านข้าง Boundary pin	18
3-5	ซ้าย คือ การวางอุปกรณ์ชุดตัวอย่างมีอุปกรณ์ทั้งหมด 5 ตัว และขวา คือ การหมุนพินขาในลักษณะทวนเข็มนาฬิกาเพื่อทำการ Pin assignment	19
3-6	การวนของอุปกรณ์ทุกตัว และผลลัพท์ของการวนพินขาอุปกรณ์ทุกตัว	20
3-7	วิธีการหาการค่า APT โดยการนำเซตของ U0, U1, U2 U3 และ U4 มายูเนี่ยนกันทั้งหมด	20
3-8	วิธีการหาการค่า NSS โดยการนำเซตของ APT มาหักออกด้วย เซตของ U0	21
3-9	วิธีการหาการค่า Us โดยการนำเซตของ U1, U2 U3 และ U4 มายูเนี่ยนกันทั้งหมด	21
3-10	ซ้าย คือ รูปแบบผลคูณคาร์ทีเซียน และขวา คือ ภาพเมื่อทำไปประยุกต์ใช้	22
3-11	ผลคูณคาร์ทีเซียนระหว่าง U0 และ Us	22
3-12	การเกิดคู่อันดับ	23
3-13	การทดสอบเทคนิคนี้เป็นการออกแบบเส้นสัญญาณแบบง่าย	24
3-14	Pin intersection	25

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
3-15	การเพิ่มชุดพินที่เป็นปัญหา คือ พิน l, m และ n ที่อุปกรณ์ U1	25
3-16	ผลคูณคาร์ทีเซียนระหว่าง U0 และ Us ในลักษณะของกรณีที่มีปัญหา Pin intersection	26
3-17	ปัญหาที่พบเมื่อทำการเดินเส้นสัญญา	27
3-18	การเรียงลำดับของพินขาที่มีลักษณะที่ผิดปกติ	28
3-19	บนผลลัพธ์การเดินเส้นสัญญาณรอบที่สอง และบนผลลัพธ์การเดินเส้นสัญญาณ รอบที่สาม	28
3-20	ตัวอย่างผลการใช้เทคนิคการจัดลำดับพินขาในรูปแบบของเซตด้วย Command line	29
4-1	ผลการจัดลำดับจากกระบวนการจัดลำดับพินขาในรูปแบบของเซต	32
4-2	การคัดกรองเส้นสัญญาณที่ไม่สามารถทำการเดินเส้นสัญญาณ	34
4-3	ผลการจับคู่เส้นสัญญาณ เมื่อยังไม่มีการสลับขาอุปกรณ์	34
4-4	ผลการจับคู่เส้นสัญญาณ เมื่อทำการสลับขาแล้วของชุดอุปกรณ์ที่มีคู่พินสัมพันธ์ 12 พิน	35
4-5	ลักษณะการหมุนของอปุกรณ์	37
4-6	ขั้นกระบวนการออกแบบในลักษณะปกติ	38
4-7	ขั้นกระบวนการออกแบบเมื่อการเพิ่ม กระบวนการการจัดลำดับพิน เข้าไป	38
4-8	การเตรียมพินการและกำหนดลำดับพินเพื่อการเดินสัญญาณ	39
4-9	ผลลัพท์จากการใช้เทคนิคการจัดลำดับพินในรูปแบบเซต	39
4-10	ลายวงจรที่ออกแบบตามการแนะนำด้วย เทคนิคการจัดลำดับพินในรูปแบบเซต	39
4-11	กราฟแสดงการเปรียบเทียบเวลาระหว่างการออกแบบเส้นสัญญาณก่อนใช้และหลังใช้ เทคนิคคการจัดลำดับพินในรูปแบบเซต	41

บทที่ 1
บทนำ

ความสำคัญและที่มาของปัญหาสำหรับการศึกษา

ในอุตสาหกรรมไฟฟ้าและอิเล็กทรอนิกส์ของประเทศไทย มีแนวโน้มการเติบโตที่เพิ่มขึ้น และยังเป็นฐานการผลิตขนาดใหญ่ซึ่งมีบทบาทในการสร้างรายได้ให้ประเทศไทยมาโดยตลอดนับเป็นอีกหนึ่งกลไกลสำคัญที่ขับเคลื่อนเศรษฐกิจและความเจริญก้าวหน้ากับประเทศชาติ นอกจากเป็นฐานการผลิตที่มีขนาดใหญ่ ยังเป็นแหล่งของการออกแบบงานด้านไฟฟ้าและอิเล็กทรอนิกส์เช่นกัน เช่น การออกแบบเครื่องมือทางไฟฟ้า และการเป็นศูนย์ทดสอบเทียบต่าง ๆ เป็นต้น จึงนำมาถึงการค้นคว้าวิจัยในงานด้านการออกแบบของบอร์ดอิเล็กทรอนิกส์หรือ Printed Circuit Board (PCB) โดยงานวิจัยด้านนี้ถูกจัดว่าเป็นส่วนสำคัญของนักออกแบบด้านอิเล็กทรอนิกส์เช่นกัน งานในส่วนนี้มีองค์ประกอบสำคัญอยู่หลายส่วน แต่ส่วนที่ได้นำมาวิเคราะห์และเสนอ คือ การเชื่อมโยงกันของพินต่าง ๆ ของอุปกรณ์อิเล็กทรอนิกส์นั้น ๆ จะมีผลสำคัญต่อการเดินเส้นสัญญาณหรือเส้นสัญญาณ (Copper trace routing) ต่อไป

ปัจจุบันงานด้านการออกแบบบอร์ดอิเล็กทรอนิกส์ จะมีส่วนที่เป็นประเด็นสำคัญของการออกแบบประกอบไปด้วยการวางอุปกรณ์ และการออกแบบเส้นสัญญาณหรือการเดินเส้นสัญญาณ (PCB Routing) โดยเฉพาะในการออกแบบบอร์ดของวงจรที่มีความซับซ้อนสูงซึ่งจำนวนอุปกรณ์ก็จะมีจำนวนมากตามไปด้วย ความยุ่งยากการจัดวางอุปกรณ์นั้น จะส่งผลกระทบต่อการออกแบบการเดินเส้นสัญญาณ หากมีการจัดวางที่ไม่ดีการเดินเส้นสัญญาณจะยากตามไปด้วย ปัญหาตรงนี้ยังส่งผลกระทบต่อขั้นตอนในการผลิตเป็นชิ้นงานอีกด้วย โดยจะส่งผลกระทบจำนวนชั้น (Number of layer) ของบอร์ด ซึ่งเมื่อจำนวนชั้นที่เพิ่มขึ้นค่าใช้จ่ายของกระบวนการผลิตก็ยิ่งเพิ่มขึ้นตาม ฉะนั้นการจัดวางอุปกรณ์และการเชื่อมต่อของพินขาอุปกรณ์นั้นจึงมีผลกระทบต่อการออกแบบมากเลยทีเดียว หากมีการเชื่อมต่อที่ไม่สามารถสะดวกต่อการเดินเส้นสัญญาณจำเป็นต้องมีการเดินผ่านชั้นของบอร์ดจำนวนมาก

การออกแบบเส้นสัญญาณนั้นในปัจจุบันมีลักษณะที่แพร่หลายมากในอุตสหกรรมด้านออกแบบงานบอร์ดอิเล็กทรอนิกส์ โดยส่วนใหญ่ยังคงมีการเดินใช้งานด้วยผู้ออกแบบเส้นสัญญาณดังกล่าวด้วยตนเอง และยังคงมีส่วนน้อยที่ยังใช้งานด้วยการเดินเส้นสัญญาณแบบอัตโนมัติ เนื่องด้วยการออกแบบเส้นสัญญาณนั้นยังคงมีข้อจำกัดอยู่หลายด้าน การเดินเส้นสัญญาณอัตโนมัติโดยปกติแล้วจะถูกใส่เพิ่มมาไว้ในโปรแกรมที่ใช้ออกแบบ แต่ไม่สามารถแลเห็นความสำคัญของเส้น

สัญญาณในแต่ละแบบได้ และยังไม่มีความเรียบร้อย ทำให้ผู้ออกแบบต้องกลับมาแก้ไขใหม่ และยังไม่สามารถเดินเส้นสัญญาณให้ผ่านในชั้นอื่นได้
จึงเป็นปัญหาในภายหลัง

ในปัจจุบันได้มีงานวิจัยที่มีการพัฒนาเพื่อตอบปัญหาการเดินเส้นของสัญญาณ แต่ละงานวิจัยจะมีจุดสนใจที่ได้ลงรายละเอียดในส่วนของการคิดกลวิธีแก้ปัญหาการเดินหลบหลีก (Escape routing) การเดินเส้นสัญญาณที่เท่ากัน (Length matching) กระบวนการทั้งสองนี้มีการใช้งานในลักษณะที่ต่างกัน ซึ่งขึ้นอยู่กับประเภทของขาสัญญาณนั้น ของอุปกรณ์และรูปแบบของเส้นสัญญาณ โดยยังคงมีขอบเขตที่การเดินเส้นสัญญาณนั้น จะทำการเดินบนชั้นเลเยอร์เดียว และจะได้ทำขึ้นเพื่อให้มีการปฏิบัติในลักษณะอัตโนมัติ เพื่อช่วยเหลือผู้ออกแบบด้วย แต่อย่างไรก็ตาม การออกแบบดังกล่าวยังไม่ได้ถูกนำมาใช้จริงมากนัก เพราะปัจจุบันเองได้มีซอฟแวร์สนับสนุนงานด้านนี้มากขึ้นเช่นกัน และจากงานวิจัยบางกลุ่มได้มีการคิดกลวิธีการเดินเส้นสัญญาณให้ดียิ่งขึ้น โดยคำนึงถึงการเชื่อมต่อของขาอุปกรณ์ต่าง ๆ ก่อน แล้วจึงทำการใช้กลวิธีการออกแบบเส้นสัญญาณตามทีหลัง จึงทำให้สามารถระบุตำแหน่งที่เป็นปัญหาได้ เป็นต้น

เมื่อได้พิจารณาจากปัจจัยต่าง ๆ ที่ได้กล่าวมาข้างต้นหัวข้องานวิจัยที่น่าสนใจจึงได้คิดที่จะทำงานวิจัยเกี่ยวกับการออกแบบเส้นสัญญาณโดยจะมีกระบวนการอัตโนมัติ ซึ่งจะเริ่มจากการทำการประมวลผลของการเชื่อมต่อของขาอุปกรณ์และกรองขาที่ไม่สามารถเชื่อมต่อกันได้ออก จากนั้นพินที่ถูกจัดว่าเป็นปัญหานั้นจะถูกใส่ผ่านเส้นทางในชั้นอื่น (Vias) และทำกระบวนการกรองต่อไป

วัตถุประสงค์ของการวิจัย

1. เพื่อศึกษาลักษณะการเชื่อมต่อกันของขาอุปกรณ์เพื่อนำมาวิเคราะห์และคัดกรองพินที่เป็นปัญหา
2. เพื่อพัฒนาและนำเสนอกลวิธีของการเดินเส้นสัญญาณ ให้สามารถแก้ปัญหาของผู้ออกแบบได้ครอบคลุม
3. เพื่อนำเสนอกลวิธีของการแนะนำการเดินเส้นสัญญาณในรูปแบบใหม่ ที่เข้าใจได้ง่าย

ขอบเขตของการวิจัย

การศึกษานี้เป็นการศึกษากลวิธีคิดของการออกแบบเส้นสัญญาณบนแผงวงจรแบบอัตโนมัติ รวมไปถึงการวิเคราะห์การเชื่อมต่อของขาอุปกรณ์นั้น โดยมีขอบเขตการวิจัยดังต่อไปนี้

1. พัฒนากระบวนการออกแบบเส้นสัญญาณ วิธีการคัดกรอง และการจัดคู่พินของเส้นสัญญาณบนแผงวงจร
2. การคัดกรองพินที่เป็นปัญหาเพื่อการกำหนดเส้นทางของการเดินเส้นสัญญาณใหม่
3. การจำลองการแนะนำการเดินสัญญาณจะถูกประมวลผลด้วย Node.Js

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถทราบถึงปัญหาของการเชื่อมต่อกันระหว่างขาอุปกรณ์ได้
2. เพื่อพัฒนาและนำเสนอวิธีใหม่ของการเดินเส้นสัญญาณ ให้สามารถแก้ปัญหาของผู้ออกแบบได้ครอบคลุม
3. เพื่อให้นักออกแบบได้นำกลวิธีของการเดินเส้นสัญญาณในรูปแบบใหม่นี้ นำไปใช้ให้เกิดประโยชน์ต่ออุตสาหกรรมของไทยต่อไป

ขั้นตอนและวิธีการดำเนินการวิจัย

1. ศึกษาอัลกอริทึมการเดินเส้นสัญญาณแบบอัตโนมัติ
2. ออกแบบการทดลองเพื่อทดสอบประสิทธิภาพการรูปแบบการคัดกรองพินแบบต่าง ๆ
3. สรุปผลการทำงานเพื่อนำมาวิเคราะห์และหารูปแบบที่เหมาะในการนำมาใช้กับการออกแบบในปัจจุบัน

บทที่ 2
ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

เทคโนโลยีการเดินเส้นสัญญาณแบบอัตโนมัติ

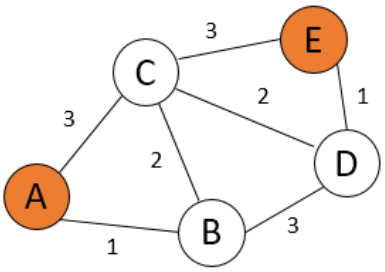
งานวิจัยในปัจจุบันที่เกี่ยวข้องในการออกแบบของบอร์ดวงจรอิเล็กทรอนิกส์ ส่วนใหญ่งานวิจัยจะมุ่งเน้นที่การเดินเส้นสัญญาณอัตโนมัติ โดยในปัจจุบันการเดินเส้นสัญญาณอัตโนมัติถูกแบ่งออกเป็น 2 ส่วน คือ การเดินเส้นสัญญาณแบบหลีกเลี่ยง (Escape routing) การเดินเส้นสัญญาณแบบพื้นที่ (Area routing) และงานวิจัยที่เกี่ยวข้องกับการเดินเส้นสัญญาณ ซึ่งแต่ละแบบมีข้อดีและข้อเสียอย่างไร โดยจะอธิบายดังต่อไปนี้

การเดินเส้นสัญญาณแบบหลีกเลี่ยง (ESCAPE ROUTING)

การออกแบบโดย Escape routing เป็นลักษณะการออกแบบเพื่อหลีกเลี่ยงเส้นทางการเดินเส้นสัญญาณ ที่ไม่สามารถเดินทางผ่านไปได้ โดยปกติการออกแบบในลักษณะนี้จะทำการออกแบบกับอุปกรณ์ประเภทที่มีขาอยู่ภายใต้อุปกรณ์ (In bound) หรือ Ball Grid Array (BGA) เนื่องจากการออกแบบเส้นสัญญาณดังกล่าวจำเป็นต้องมีวิธีการแก้ปัญหา เพื่อลดปัญหาของนักออกแบบ โดยในการเดินเส้นสัญญาณ 2 แบบนี้มีแบ่งย่อยภายในอีก 2 ส่วน คือ การเดินเส้นสัญญาณที่สั้นที่สุด (Shortest path) และการเดินเส้นสัญญาณสมดุล (Length matching) ซึ่งแต่ละการออกแบบนั้น มีประโยชน์ที่แตกต่างกันออกไป โดยจะอธิบายดังต่อไปนี้

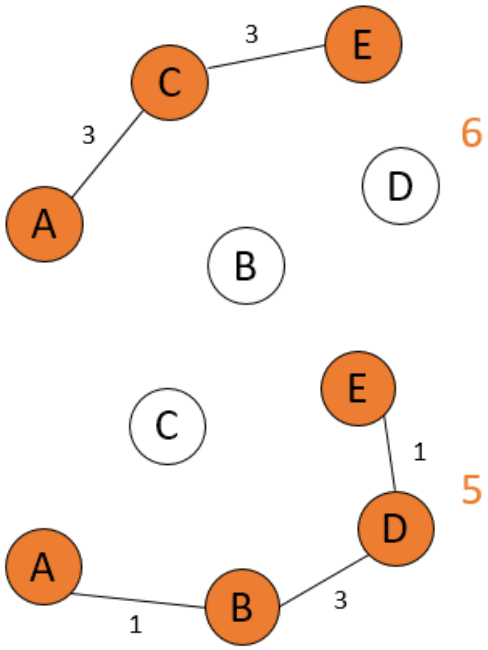
การเดินเส้นสัญญาณแบบระยะทางที่สั้นที่สุด (Shortest path)

เทคนิค Shortest path เป็นการแก้ปัญหาการเดินทางของข้อมูลในระหว่างจุดสองจุด โดยในช่วงระยะทางระหว่างการส่งข้อมูลจะการจำลองการเดินผ่านตัวกลาง เพื่อจะทำการส่งต่อไปอีกจุดหนึ่ง โดยจะทำการเช่นนี้ จนถึงจุดปลายทาง เช่น ภาพตัวอย่าง



ภาพที่ 2-1 การหาระยะเส้นทางจากจุด A ไปจุด E

เช่น การเดินทางดังภาพที่ 2-1 จากจุดต้นทาง A ไปถึงจุดปลายทาง E ซึ่งจะสามารถผ่านได้หลายเส้นทาง โดยมีค่าผลรวมปลายทางที่ต่างกันออกไป อย่างเช่น หากเดินทางจาก A --> C --> E จะเห็นได้ว่าใช้ค่าผลรวมเท่ากับ 6 และหากเดินทางจาก A --> B --> D --> E ได้ว่าใช้ค่าผลรวม 5 ซึ่งแสดงให้เห็นดังภาพที่ 2-2



ภาพที่ 2-2 ระยะการดินทางจากจุด A ไปจุด E ทั้ง 2 แบบ ซ้ายและขวา

จะเห็นได้ว่าการเดินทางจาก A ถึง E สามารถเดินได้หลายกรณีนอกจากนี้ โดยค่าผลรวมจะได้แตกต่างกันออกไป ซึ่งในกรณีการคิดแบบการเดินเส้นสัญญาณแบบระยะทางที่สั้นที่สุด

จำเป็นต้องทำการวิเคราะห์ทุกสถานการณ์ก่อน ดังตารางที่ 2-1 มองว่าการเดินทางจาก A --> B --> D --> E นั้นเป็นสิ่งที่ดีที่สุดแม้ว่าผลรวมที่ปลายทางจะมากกว่าก็ตาม ดังตารางต่อไปนี้

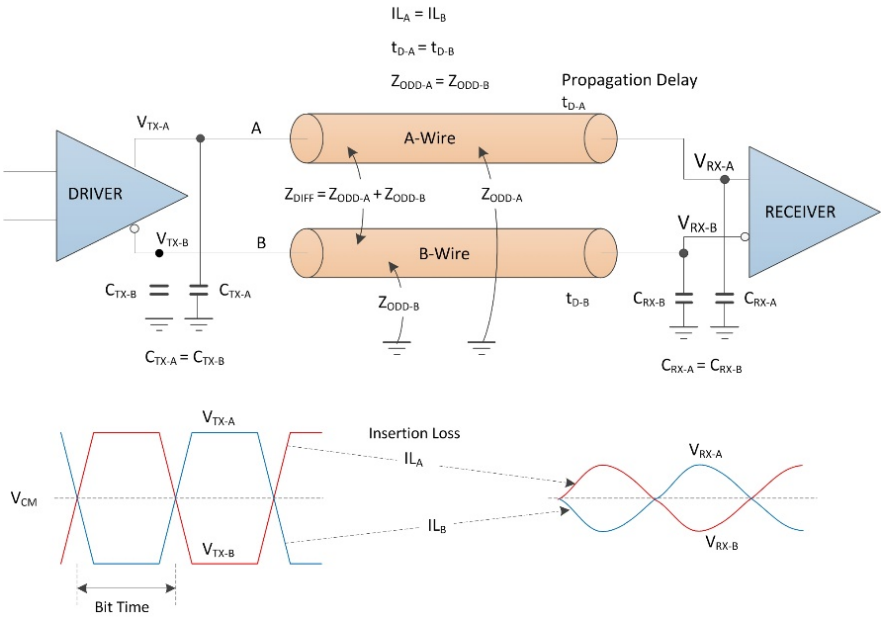
ตารางที่ 2-1 ผลลัพท์จากจุด A ไปจุด E

	A	B	C	D	E
A	-	1	3	4	5
A, B	-	1	3	4	5
A, B, C	-	1	-	4	5
A, B, C, D	-	1	-	4	5
A, B, C, D, E	-	1	3	4	5

จากตารางที่ 2-1 จะเห็นได้ว่า การเดินทางที่ได้ค่ารวมที่ปลายได้น้อยที่สุด คือ 5 ซึ่งการเดินทางในแบบที่เหมาะสมที่สุด คือ A --> B --> D --> E

ประโยชน์ของการเดินสัญญาณด้วยเทคนิคของ Shortest path นั้นจะทำให้การเดินเส้นสัญญาณสั้นลง นอกจากนี้ยังช่วยประหยัดพื้นการออกแบบอีกด้วย แต่ด้วยการออกแบบเส้นสัญญาณบนบอร์ดวงจรนั้น มีเส้นสัญญาณบางเส้นที่จำเป็นต้องเดินพร้อม ๆ กันหลายเส้น เส้นสัญญาณแบบนี้มักจะพบในลักษณะของสายสัญญาณแบบบัส (BUS) ซึ่งแต่ละเส้นจำเป็นต้องมีการควบคุมความยาวเส้นสัญญาณ เนื่องจากเป็นลักษณะเฉพาะของเส้นสัญญาณนั้น ๆ ซึ่งในกรณีของการเดินเส้นสัญญาณแบบการเดินเส้นสัญญาณแบบระยะทางที่สั้นที่สุด จะเหมาะกับการเดินเส้นสัญญาณในรูปแบบเส้นเดี่ยวเป็นหลัก

การเดินเส้นสัญญาณในลักษณะหลีกเลี่ยงหรือหลบหลีกนี้ทำให้มีนักวิจัยบางกลุ่มนำไปใช้กับเส้นสัญญาณที่มีความเป็นเอกลักษณ์ในด้านออกแบบ นั้นคือ เส้นสัญญาคู่ต่าง (Differential pair) โดยเส้นสัญญาณประเภทนี้จะมีการส่งสัญญาณความแตกต่าง (Differential signaling) คือ การส่งสัญญาณเป็นคู่ที่มีขั้วต่างกัน จะเดินเส้นสัญญาณใกล้ ๆ กันไปเป็นคู่ ระบบนี้พัฒนาขึ้นเพื่อลดผลกระทบจากกราวน์ที่อ้างอิงระหว่างลอจิกของต้นกำหนดและเป้าหมาย การส่งสัญญาณความแตกต่างสามารถป้องกันสัญญาณรบกวนชนิดร่วม (Common mode) ซึ่งเป็นแหล่งรบกวนที่มากในระบบดิจิตอลได้เป็นอย่างดี ข้อดีอีกประการของสัญญาณความแตกต่าง คือ สามารถลดผลของ EMI (Electromagnetic interference) ซึ่งเกิดจากคู่สัญญาณได้เป็นอย่างดี

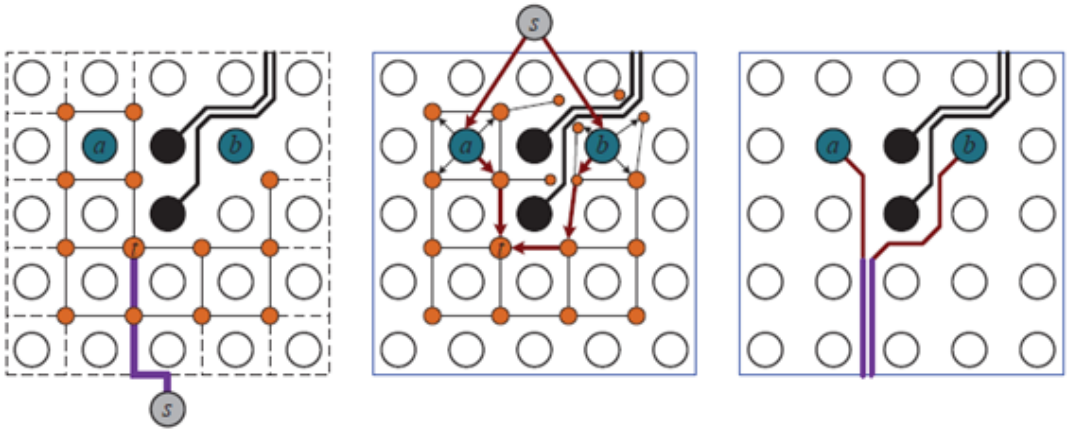


ภาพที่ 2-3 ลักษณะของเส้นสัญญาคู่ต่าง (Differential pair)

ตามกฎของ Lee Ritchey ผู้เชี่ยวชาญด้านการออกแบบความเร็วสูง การเดินเส้นไม่จำเป็นต้องควบคุมค่าความต้านทางของเส้นสัญญาณคู่ต่าง แต่สิ่งที่ต้องการ คือ กำหนดให้ค่าความต้านทาน (Impedance) ของเส้นสัญญาณเป็นครึ่งหนึ่งของค่าความต้านทาน ของเคเบิลที่ต่อเข้ามา

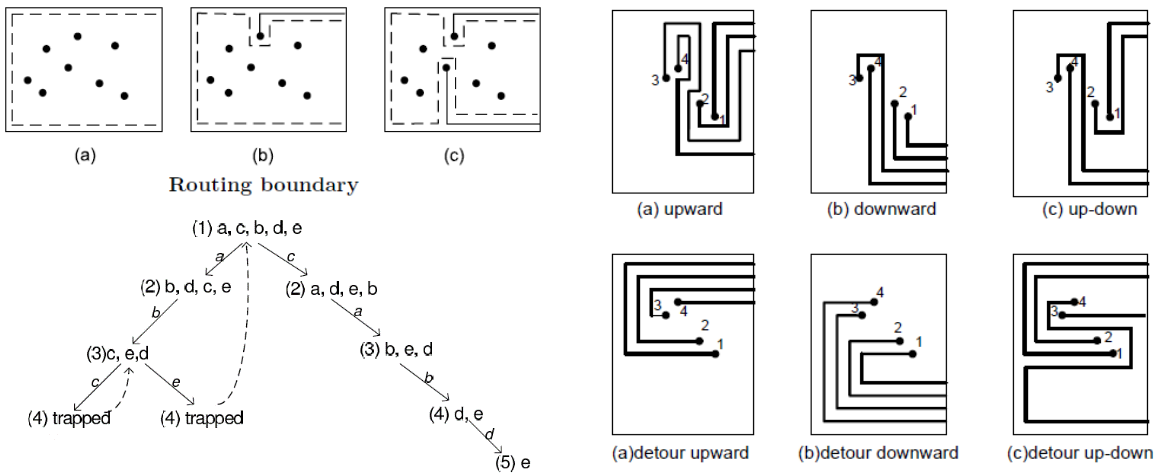
ต้องปรับค่าความต้านทานให้เหมาะสมที่ปลายเส้นสัญญาณทั้งสองให้ถูกต้อง เส้นสัญญาณทั้งสองต้องมีความยาวใกล้เคียงกัน และมีความแตกต่างไม่เกินที่กำหนดในตระกูลของไอซีลอจิกนั้น ๆ หากมีความแตกต่างค่าที่เป็นไปได้ทั่ว ๆ ไป คือ 0.5 นิ้ว ใช้ประโยชน์จากการเดินเส้นทั้งคู่ไปด้วยกัน เพื่อให้ความยาวเส้นเท่าเทียมกัน และหากจำเป็นสามารถเดินแยกอ้อมสิ่งกีดขวางได้ และสามารถเปลี่ยนเลเยอร์ สามารถทำได้ตราบใดที่ค่าความต้านทานยังคงที่

จากทฤษฎีข้างต้นได้มีทีมนักวิจัยทำการทดสอบเทคนิคการแก้ปัญหาสำหรับอุปกรณ์ประเภท BGA (Ball grid array) ที่มีขาประเภทเส้นสัญญาคู่ต่างจำนวนมาก โดยในงานวิจัยนี้ใช้เทคนิค DPER (Differential pair escape routing) และมีการนำเสนอเพิ่มเติมอีกสองทคนิค โดยส่วนแรก อัลกอริทึมเป็นรูปแบบทำให้เส้นสัญญาณแต่ละฝั่งวิ่งเข้าหากัน มีลักษณะการเดินแบบหลีกเลี่ยงที่แตกต่างกันของเขาวงกตจะคำนวณเส้นทางสำหรับคู่ที่แตกต่างกันหาค่าเฉลี่ยจากค่ามากสุดและต่ำสุด ขั้นตอนที่สอง คือ การเดินเส้นสัญญาณแบบปกติ



ภาพที่ 2-4 กำหนดเส้นทางคู่ที่แตกต่างกัน

จากงานวิจัยนี้ได้นำเทคนิคการเดินเส้นสัญญาณโดยใช้ลักษณะการตีจุดตัดเพื่อใช้ในการเดินเส้นสัญญาณจากพินขาของอุปกรณ์ นอกจากนี้ยังมีงานวิจัยของ Lou, Yan, Ma, Martin, Wong and Shibuya (2011)



ภาพที่ 2-5 ลักษณะของการเดินเส้นสัญญาณแบบ Boundary routing

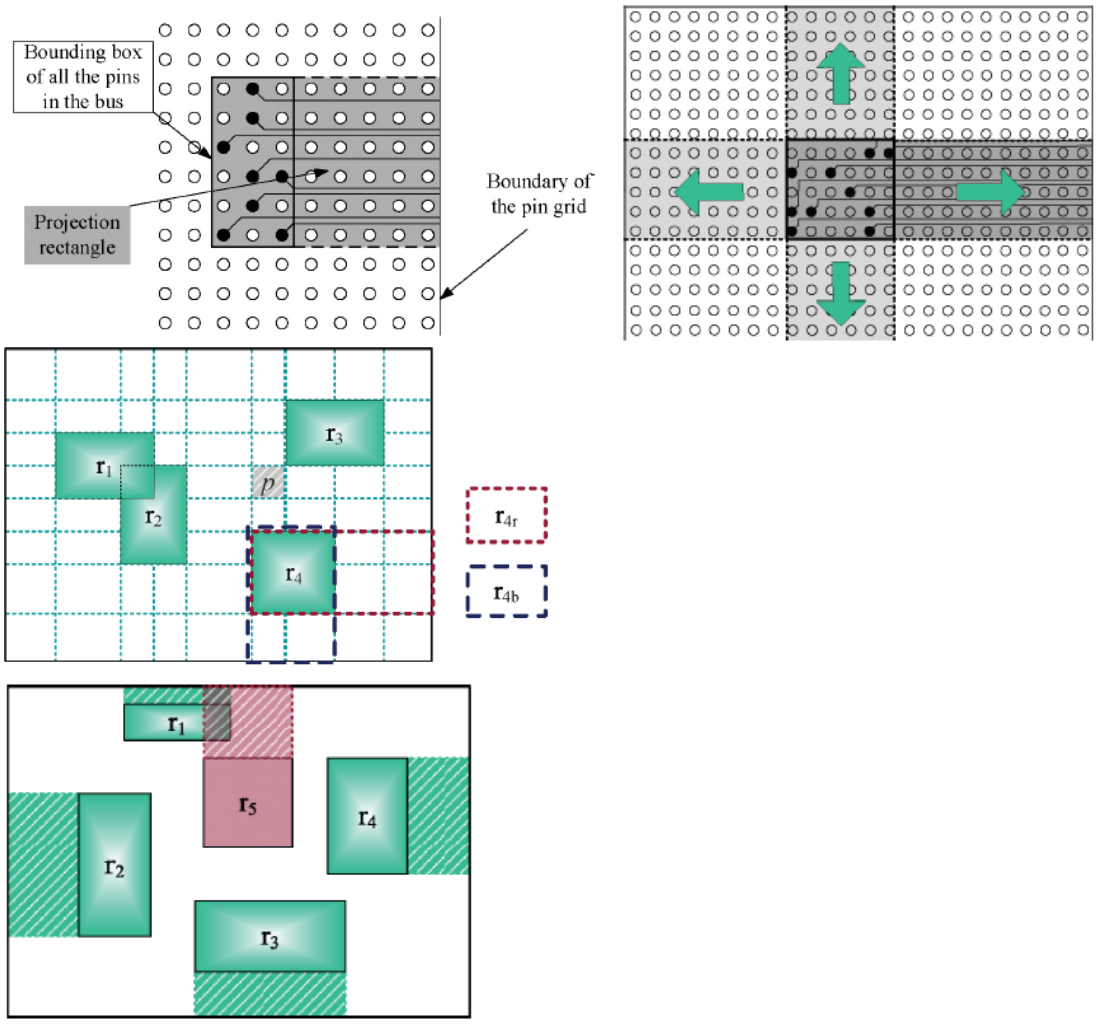
โดยในงานวิจัยทั้งสองฉบับนี้ได้มีวิธีการเดินเส้นสัญญาณในลักษณะกลุ่มคู่เส้นสัญญาณที่น่าสนใจ วิทยานิพนธ์นี้จึงได้ทำวิธีการเดินเส้นสัญญาณของงานวิจัยนี้มาเป็นแนวทางด้วยเช่นกัน ซึ่งวิธีที่พวกเขาใช้นั้น ไม่ได้จำกัดชนิดของอุปกรณ์ซึ่งมีการเดินชิดขอบของขอบกรอบเป้าหมาย

การเดินเส้นสัญญาณในลักษณะการควบคุมขนาดเส้นสัญญาณ (LENGTH MATCHING)

เทคนิคการควบคุมขนาดเส้นสัญญาณ เป็นลักษณะการเดินเส้นสัญญาณที่เป็นกลุ่ม เหมาะกับการเดินเส้นสัญญาณประเภทเป็นบัส (Bus data) โดยเส้นสัญญาณทุกเส้นส่วนใหญ่จำเป็นต้องมีความยาวเส้นสัญญาณใกล้เคียงกัน เช่น สายสัญญาณของ DDR ของ RAM ในส่วนนี้ได้ถูกใช้ในงานวิจัยนี้ด้วยเช่นกัน โดยจะถูกใช้ในส่วนของการเดินเส้นสัญญาณระหว่างอุปกรณ์และโมดูลต่าง ๆ

ในส่วนนี้ได้มีการลำดับการศึกษาจากการเดินเส้นสัญญาณแบบพื้นที่ (Area routing) เพื่อศึกษาวิธีการเดินเส้นสัญญาณ เริ่มจาก Kong, Yan, Martin, and Ozdal (2007) ซึ่งเป็นการออกแบบแบบพื้นที่โดยใช้ชื่อวิธี Maximum disjoint subset (MDS) โดยใช้รูปแบบสี่เหลี่ยมเป็นส่วนหนึ่งของรูปไม่ทับซ้อนกับน้ำหนักรวมสูงสุด ปัญหาในการหา MDS สี่เหลี่ยมทั่วไปได้รับการพิสูจน์แล้วว่าเป็น NP-Complete โดย NP (Non-deterministic polynomial time)

ในบทความนี้พวกเขาจะมุ่งเน้นไปที่ปัญหาของการหา MDS สี่เหลี่ยมเขตแดน ซึ่งเป็นปัญหาที่เปิดกว้างและมีความสัมพันธ์อย่างใกล้ชิดกับปัญหาบางอย่าง ที่ยากลำบากในการกำหนดเส้นทางเส้นสัญญาณ พวกเขาได้เสนอกลวิธีคิดส่วนของเวลาในรูปแบบพหุนามอย่างดีที่สุดเพื่อแก้ปัญหาด้วย MDS จากนั้นพวกเขาก็แสดงให้เห็นว่าขั้นตอนวิธีนี้สามารถนำมาใช้เพื่อหาทางออกที่ดีที่สุดของการหลบหนีของปัญหาการกำหนดเส้นทางเส้นสัญญาณของบัส ในทางทฤษฎีความซับซ้อนของคอมพิวเตอร์ปัญหาการตัดสินใจเป็น NP-Complete ในและ NP-Hard

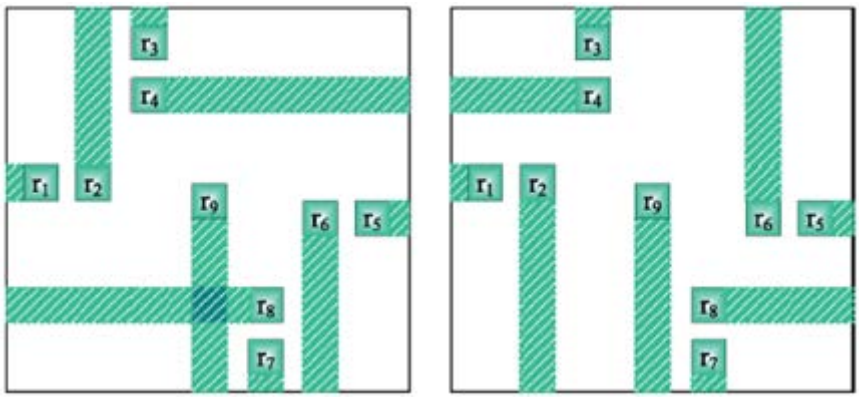


ภาพที่ 2-6 ภาพประกอบการเดินเส้นสัญญาณแบบบัส

งานวิจัยเกี่ยวกับการเดินเส้นสัญญาณแบบพื้นที่ยังมีอีกหนึ่ง งานวิจัยของ Qiang and Martin (2012) ซึ่งในบทความนี้พวกเขาจะแนะนำ และศึกษาปัญหาการหลบหนีลักษณะที่เป็นแบบการตีกรอบแบบสี่เหลี่ยมผืนผ้า (REP) โดยจะเน้นเส้นทางการหลบหนีของบัส ซึ่ง R คือ สี่เหลี่ยม และ S คือ สี่เหลี่ยมภายใน R, REP คือ การเลือกทิศทางสำหรับแต่ละรูปสี่เหลี่ยมผืนผ้าที่จะหลบหนีไปยังเขตแดนของ R เช่น ความหนาแน่นสูงสุดผลลัพธ์มากกว่า R จะลดลง

พวกเขาพิสูจน์ให้เห็นว่าเป็น (REP) NP-Complete และแสดงให้เห็นว่าได้สูตรการเขียนโปรแกรมเชิงเส้นจำนวนเต็ม (ILP) ขั้นตอนวิธีการประมาณการที่ดีสรรพสิ่งสำหรับ REP ได้รับการพัฒนาโดยใช้โปรแกรมเชิงเส้น (LP) เทคนิคการปัดเศษพิเศษ เพื่อ ILP นอกจากนี้ ขั้นตอน

การปรับแต่งซ้ำจะเสนอเป็นขั้นตอนการประมวลผลภายหลังเพื่อปรับปรุงผลการ ขั้นตอนวิธีการประมาณของเรายังแสดงให้เห็นในการทำงานสำหรับรุ่นทั่วไปมากขึ้นของวิธี REP วิธีการของพวกเขาได้รับการทดสอบกับชุดของเส้นสัญญาณบัสบน PCB ผลการทดลองแสดงให้เห็นว่าทางออกที่ดีที่สุดที่สามารถรับได้ภายในไม่กี่วินาทีสำหรับแต่ละกรณีทดสอบ



ภาพที่ 2-7 ลักษณะของการเดินเส้นสัญญาณแบบพื้นที่

จากการศึกษางานวิจัยการเดินเส้นสัญญาณแบบพื้นที่ (Area routing) ทำให้ได้ พบว่าการเดินเส้นสัญญาณในลักษณะกลุ่มมีความสำคัญในการเชื่อมต่อระหว่างอุปกรณ์ เนื่องจากเป็นวิธีที่เข้าใจง่าย จึงได้เป็นหนึ่งวิธีที่นำมาใช้ในการเดินเส้นสัญญาณของงานวิจัยนี้

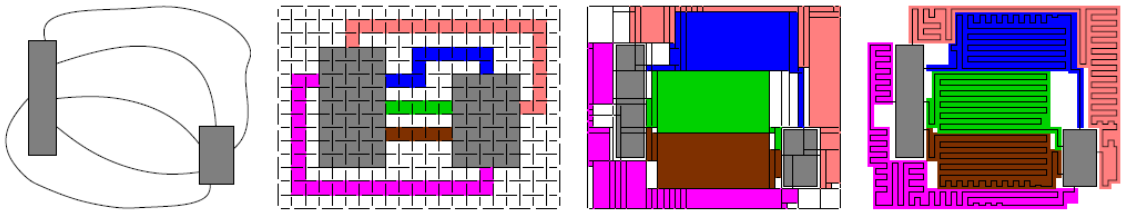
นอกจากนี้การเดินเส้นสัญญาณแบบหลบหลีก (Escape routing) ก็มีงานวิจัยจำนวนมากเช่นกัน งานวิจัยประเภทนี้จะถูกใช้กับงานที่เป็นการออกแบบของอุปกรณ์ประเภท Ball grid array (BGA) ซึ่งพินจะอยู่ด้านใต้ตัวอุปกรณ์จึงทำให้ยากต่อการออกแบบ ฉะนั้นกลวิธีนี้จึงได้เข้ามาช่วยนักออกแบบ ซึ่งแบ่งออกได้อีก 2 ส่วน คือ การเดินเส้นสัญญาณที่สั้นที่สุด (Shortest path) และการเดินเส้นสัญญาณสมดุล (Length matching) โดยมีวิธีการศึกษาจากงานวิจัยของ Luo, Yan, Ma and Martin (2010) ในงานวิจัยนี้ได้ใช้กลวิธีของ ILP (Integral linear programming) และ LP (Linear programming) เข้ามาแก้ไขปัญหา

โดย ILP คือ ปัญหาการเขียนโปรแกรมจำนวนเต็ม คือ การเพิ่มประสิทธิภาพทางคณิตศาสตร์หรือโปรแกรมที่ความเป็นไปได้ในการที่บางส่วนหรือทั้งหมดของตัวแปรที่จะถูกจำกัด ให้เป็นจำนวนเต็มในการตั้งค่า หมายถึง จำนวนเต็มโปรแกรมเชิงเส้น (ILP) ซึ่งในฟังก์ชันวัตถุประสงค์และข้อจำกัด (นอกเหนือจากข้อจำกัด จำนวนเต็ม) เป็นเชิงเส้น และงานวิจัยของ Chin,

Kuan, Tsai, Chen and Kajitani (2013) ได้มีการปรับปรุง งานวิจัยทั้ง 2 นี้ ได้มีการมุ่งเน้นการแก้ไขปัญหาของอุปกรณ์ประเภทพินบอลอะเรย์

หลังจากนั้น ได้มีการพัฒนาขึ้นโดยการนำมาใช้กับการหาความยาวสมดุลของเส้นสัญญาณ ซึ่งในงานวิจัยที่ได้นำมาใช้นี้ ของ Tan and Wong (2009) ซึ่งในงานวิจัยได้มีเทคนิคที่น่าสนใจ คือ การรวมเอาการเดินหลบหลีกและการเดินความยาวสมดุลให้เข้าด้วยกัน โดยมีการใช้การเดินสัญญาณของ Wall routing (Cell-Sizing) ซึ่งมีการเดินในลักษณะที่เข้าใจง่าย

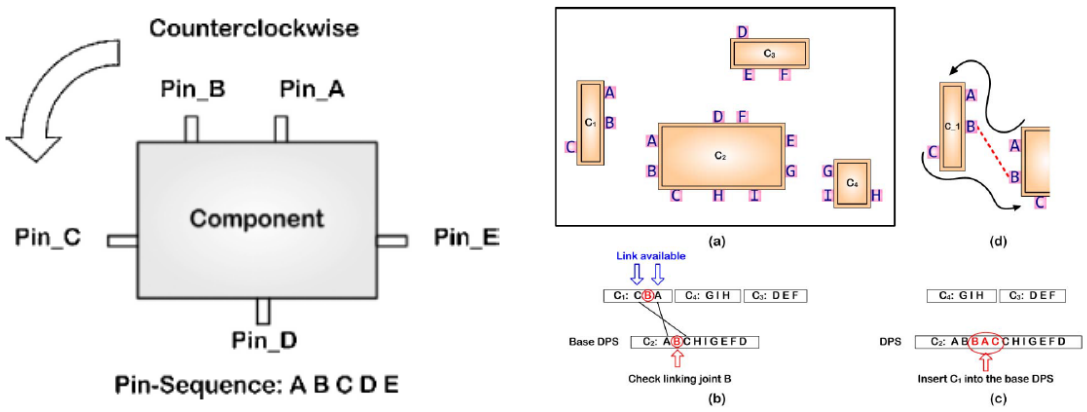
โดยจะทำการเดินเส้นสัญญาณตามจุดตัดที่ได้กำหนดขึ้น คือ Bounded sliceline grid ข้อดีของการออกแบบในลักษณะนี้ได้เส้นสัญญาณที่มีขนาดที่เท่ากันและสามารถเดินออกมาจากพินของอุปกรณ์ได้หมด แต่ยังจำกัดที่ลักษณะของอุปกรณ์ คือ ประเภทพินบอลอะเรย์ เท่านั้น



ภาพที่ 2-8 ลักษณะของการเดินเส้นสัญญาณแบบ Wall-Routing

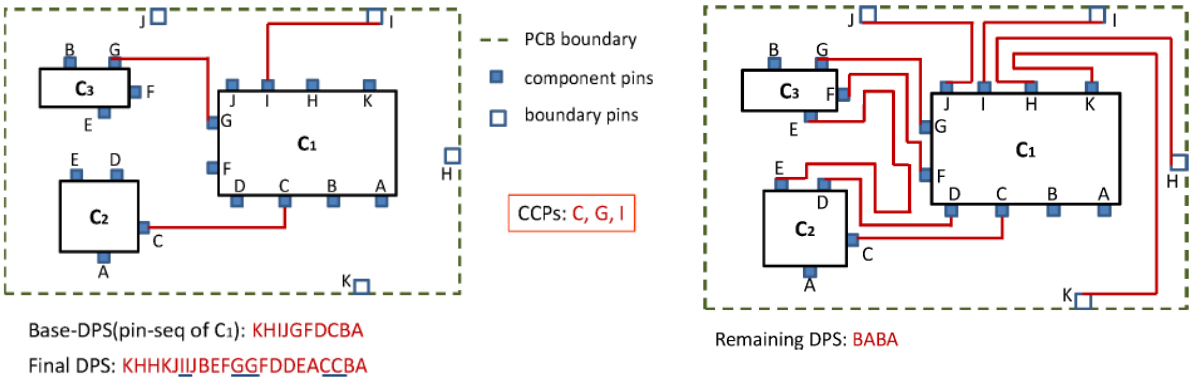
การเดินเส้นสัญญาณแบบหลบหลีกนั้นนอกจากจะเดินเส้นสัญญาณในลักษณะที่สมดุลแล้วการเดินเส้นสัญญานเพื่อให้เส้นสัญญาณนั้น ๆ สั้นที่สุด (Shortest path) โดยการเดินเส้นสัญญาณในลักษณะนี้มีประโยชน์ในการช่วยลดระยะห่างระหว่างอุปกรณ์ ซึ่งส่งผลให้ลดขนาดของบอร์ดด้วย ได้มีงานวิจัยของ Tsai, Ren-Jie, Ching, Chung-Yi, Hung-Ming, and Yoji (2011)

ซึ่งพวกเค้าได้คิดวิธีกระบวนการเดินเส้นสัญญาณของอุปกรณ์ที่มีพินรอบข้างตัวอุปกรณ์ เช่น QFN (Quad-flat no-leads), SSOP (Shrink small-outline package) และ SOT-X (Small-outline transistor) เป็นต้น โดยวิธีของพวกเขานั้นถูกแบ่งออกเป็นสองส่วน คือ การจัดลำดับพินและการเดินเส้นสัญญาณ โดยการจัดลำดับพินนั้นพวกเขาเรียกมันว่า Dynamic pin sequence (DPS) กระบวนการนี้จะทำการวนเดินพินเรียงลำดับกันโดยทิศทางทวนเข็มนาฬิกา (Counterclockwise) ดังภาพที่ 2-9



ภาพที่ 2-9 การทำ Dynamic pin sequence

หลังจากที่ได้ทำการเรียงพินลำดับพินแล้ว ต้องหาจุดอ้างอิงเพื่อที่จะเดินเส้นสัญญาณอ้างอิงไปเชื่อมแต่ละอุปกรณ์ ซึ่งการเชื่อมระหว่างอุปกรณ์แต่ละตัวนั้นจะต้องมีจุดอ้างนี้หนึ่งจุด ซึ่งเรียกว่า CCP (Cut component pin) หากทำการเลือกพินตรงนี้ผิดพลาดจะทำให้พบเส้นสัญญาณที่ไม่สามารถเดินได้ โดยจากส่วนนี้ได้ถูกนำมาปรับและแก้ไขใช้ในงานวิจัยชุดนี้เช่นกัน ส่วนการเดินเส้นสัญญาณนั้นเป็นวิธีการเดินแบบ Wall routing เช่นกัน โดยงานวิจัยนี้ได้ถูกปรับปรุงใหม่ในปี 2013



ภาพที่ 2-10 การทำ Dynamic pin sequence และ Wall routing

ทฤษฎีของเซต

ใช้แทนกลุ่มของคน สัตว์ สิ่งของ หรือสิ่งที่เราสนใจ เราใช้เครื่องหมายปีกกา “{ } ” แสดงความเป็นเซต และสิ่งที่อยู่ภายในปีกกา เรียกสมาชิกของเซต ซึ่งในงานวิจัยได้นำทฤษฎีของเซตเข้ามาใช้ในการทำกระบวนการ การจัดลำดับพิน

การกระทำของเซต

1. ยูเนียน (Union) คือ $A \cup B = \{x|x$ เป็นสมาชิกของ A หรือ x เป็นสมาชิกของ B$\}$ เป็นวิธีการนำเซตมารวมเข้าด้วยกัน ในส่วนนี้ งานวิจัยได้นำมาใช้ในลักษณะการนำพินขามารวมเข้าด้วยกันเพื่อสร้างเป็นเซตใหม่

2. อินเตอร์เซคชัน (Intersection) คือ $A \cap B = \{x|$ x เป็นสมาชิกใน A และ x เป็นสมาชิกใน B$\}$ เป็นวิธีที่ทำการสนใจในข้อมูลที่มีทั้ง A และ B เท่านั้น ในส่วนนี้งานวิจัยได้นำมาใช้ในการคัดคแยกพินขาที่มีความเกี่ยวเนื่องกัน

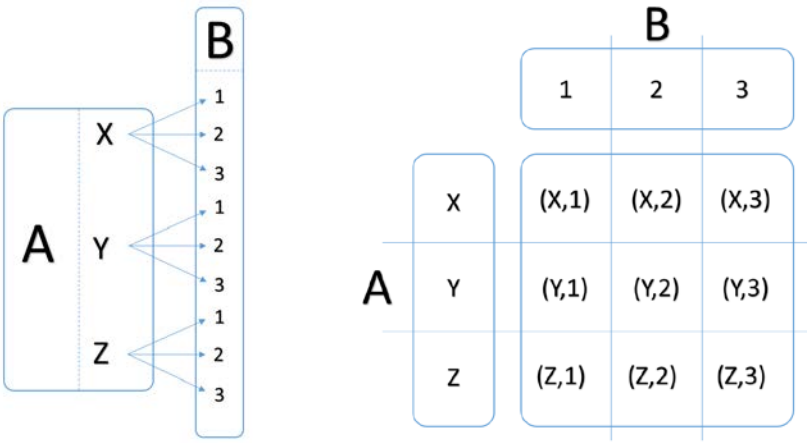
3. คอมพลีเมนท์ (Complement) คือ $A' = \{x|$ x เป็นสมาชิกของ U แต่ x ไม่เป็นสมาชิกใน A$\}$

4. ผลต่าง (Difference) คือ $A-B = \{x|$ x เป็นสมาชิกของ A แต่ไม่เป็นสมาชิกของ B$\}$

ผลคูณคาร์ทีเซียน

ในวิชาคณิตศาสตร์ ผลคูณคาร์ทีเซียนเป็นการดำเนินการทางคณิตศาสตร์ซึ่งดำเนินการกับเซตหลายเซตได้ผลเป็นเซต (หรือ เซตผลคูณ) นั่นคือ สำหรับเซต A และ B ผลคูณคาร์ทีเซียน $A \times B$ เป็นเซตของทุกคู่อันดับ (a, b) ที่ $a \in A$ และ $b \in B$

กรณีที่ง่ายที่สุดของผลคูณคาร์ทีเซียน คือ จัตุรัสคาร์ทีเซียน ซึ่งดำเนินการกับเซตสองเซตได้เซตหนึ่งเซต เราสามารถสร้างตารางได้โดยหาผลคูณคาร์ทีเซียนของเซต ของแถวกับเซตของหลัก หาผลคูณคาร์ทีเซียน แถว × หลัก เซลล์ของตารางจะประกอบด้วยคู่อันดับในรูปแบบ (ค่าของแถว ค่าของหลัก)



ภาพที่ 2-11 ลักษณะการทำผลคูณคาร์ทีเซียน

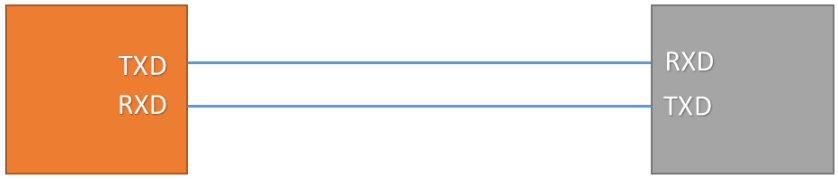
ในงานวิจัยนี้ได้ผลคูณคาร์ทีเซียนมาใช้ในการจับคู่ของพินขาเพื่อทำการจับคู่และจัดลำดับของการเดินของเส้นสัญญาณซึ่งจะสามารถทราบรายละเอียดในบทต่อไป

บทที่ 3
ขั้นตอนและวิธีการดำเนินงาน

ภาพรวมของระบบ

การกำหนดและออกแบบเส้นสัญญาณของบอร์ดอิเล็กทรอนิกส์ด้วยกระบวนการอัตโนมัติ ในปัจจุบันยังคงเป็นระบบที่ยังไม่ได้รับความนิยมเท่าที่ควร เนื่องด้วยความยุ่งยากของผลลัพท์ที่ได้จากการใช้เครื่องมือออกแบบ และเครื่องออกแบบเองได้มีเทคโนโลยีด้านนี้เข้ามาประกอบแล้วเป็นส่วนใหญ่ แต่ด้วยอัลกอริทึมที่ยังไม่สามารถจัดการได้ครอบคลุม การวางอุปกรณ์และการจัดสรรความสำคัญของแต่ละพินขา รวมไปถึงการกำหนดลำดับการเริ่มออกแบบและความเหมาะสมของแต่ละส่วนอีกด้วย

พินขาของอุปกรณ์ในแต่ละตัวนั้นจะมีการเชื่อมโยงกันโดย ด้วยความสัมพันธ์ของฟังก์ชั่นในแต่ละพิน เช่น ขาของ TXD เป็นขาส่งสัญญาณ และ RXD เป็นขารับสัญญาณ การเชื่อมต่อกันจำเป็นต้องต่อกันดังภาพที่ 3-1 ซึ่งเป็นการเชื่อมแบบ UART (Universal asynchronous receiver transmitter) ซึ่งจะมีการเชื่อมต่อของขาในลักษณะดังนี้

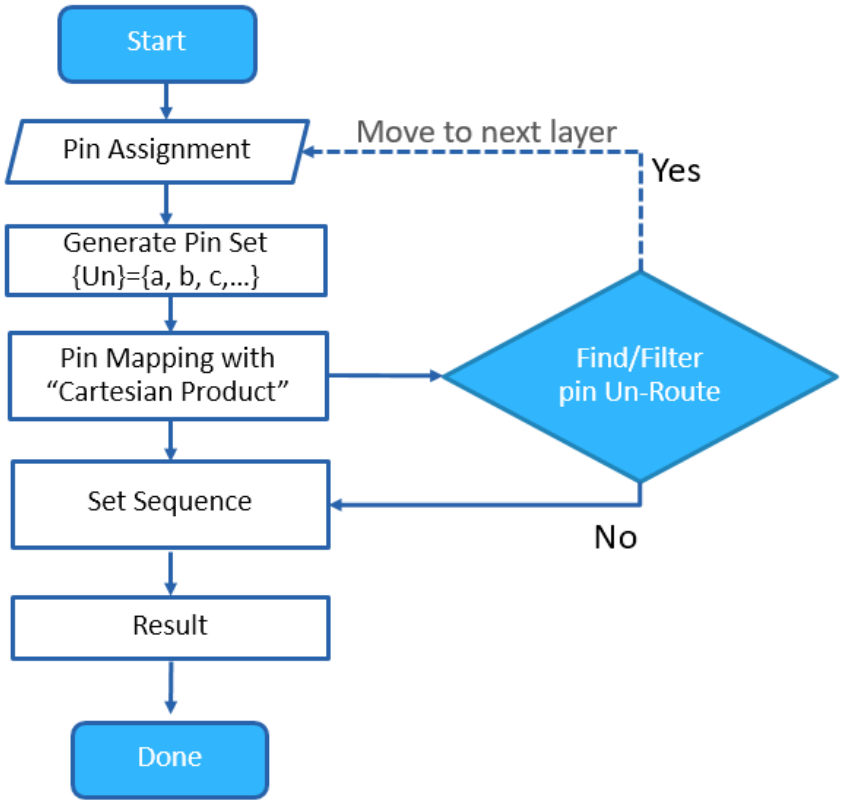


ภาพที่ 3-1 ตัวอย่างการเชื่อมกันของเส้นสัญญาณ UART ที่ทำการเชื่อมกันระหว่างอุปกรณ์ 2 ตัว

โดยบนการเชื่อมต่อดังกล่าวเป็นเชื่อมระหว่าง อุปกรณ์สองตัวด้วยพินที่มีชื่อว่า TXD และ RXD แต่ด้วยความสัมพันธ์ดังกล่าว เส้นที่ใช้เชื่อมต่อจะถูกเรียกว่า เน็ตเนม (NetNames) ซึ่งในแต่ละโปรแกรมที่ใช้ในการออกแบบจะมีชื่อที่เรียกต่างกันออกไป เช่น โหนดเนม (NodeNames) การกำหนดนี้จะถูกออกมาเก็บเป็นในลักษณะของไฟล์ตัวอักษรหรือเรียกว่าเน็ตลิส (Netlist) ซึ่งการจัดเก็บไฟล์ประเภทหนึ่ง ของตัวโปรแกรมออกแบบ ข้อมูลส่วนจะมีการทำมาใช้กับตัวงานวิจัยนี้ต่อไป

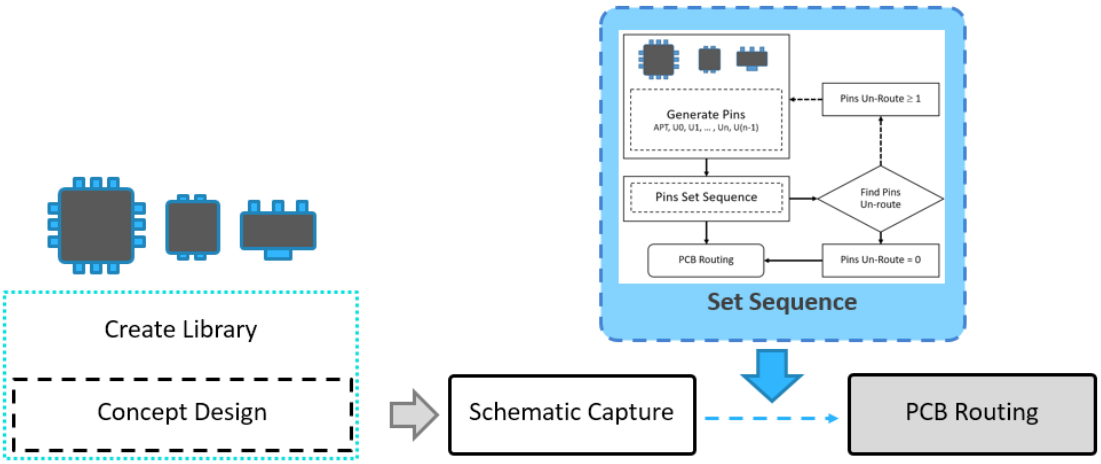
ในงานวิจัยนี้ได้มีการนำความสัมพันธ์ของพินขาอุปกรณ์ มาทำการเข้ากระบวนการจัดลำดับเพื่อทำการวิเคราะห์หาความสัมพันธ์ เพื่อนำไปต่อยอดกับการเดินของเส้นสัญญาณระหว่างพินขาของอุปกรณ์คู่นั้น ด้วยการคาดการณ์ความน่าจะเป็นของการเดินคู่เส้นสัญญาณดังกล่าวว่า สามารถเดินไปยังจุดหมายได้จริง ซึ่งกระบวนการนี้มีชื่อว่า Pin set sequence (PSS)

เนื่องจากการหาความสัมพันธ์ของพินขาแต่ละคู่นั้น มีความซับซ้อน ไม่แน่นอน และยังเป็นจุดสำคัญที่สุด ก่อนการออกแบบบอร์ดวงจรอิเล็กทรอนิกส์อีกด้วย ในส่วนนี้ได้มีแบบการทดลองออกเป็นสองส่วน คือ การนำเสนอวิธีการคิดการจัดลำดับพินขาโดยกระบวนการการจัดลำดับพินขาในลักษณะของรูปแบบเซต และผลการทดลองการเดินเส้นสัญญาณ ในรูปต่าง ๆ ซึ่งจะมีการอธิบายในบทต่อไป



ภาพที่ 3-2 ภาพรวมของระบบ

กระบวนดังกล่าวจะถูกนำมาใช้ก่อนการออกแบบเส้นสัญญาณโดยหน้าที่จะทำการคัดกรองพิน เพื่อสร้างลำดับการออกแบบเส้นสัญญาณ รวมไปถึงการวิเคราะห์คาดเดาพินที่เป็นปัญหาของการเดินเส้นสัญญาณออกมากเพื่อทำการวิเคราะห์ใหม่อีกครั้ง

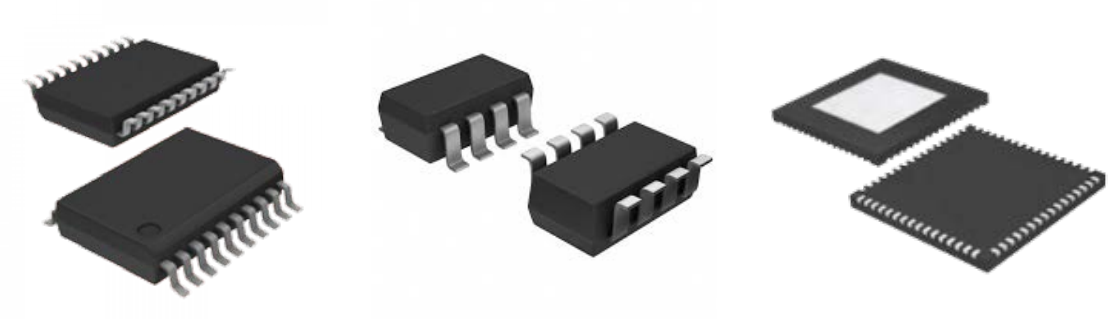


ภาพที่ 3-3 ความเชื่อมโยงกระบวนการ Set sequence กับกระบวนการออกแบบปกติ

กระบวนการดำเนินงาน

ในกระบวนการนี้เป็นกระบวนการในการวิเคราะห์ ความสัมพันธ์การจัดลำดับพินขา ซึ่งแบ่งกระบวนการทดลองออกเป็น 5 ส่วน คือ การกำหนดพินขาของอุปกรณ์ การนำพินขาของอุปกรณ์เข้าสู่รูปการจัดลำดับแบบเซต การคัดกรองของพินในระดับชั้นแรก การจัดการประเภทของพินที่ไม่สามารถคัดกรองได้ และการนำขึ้นชั้นใหม่และทำการวนซ้ำ

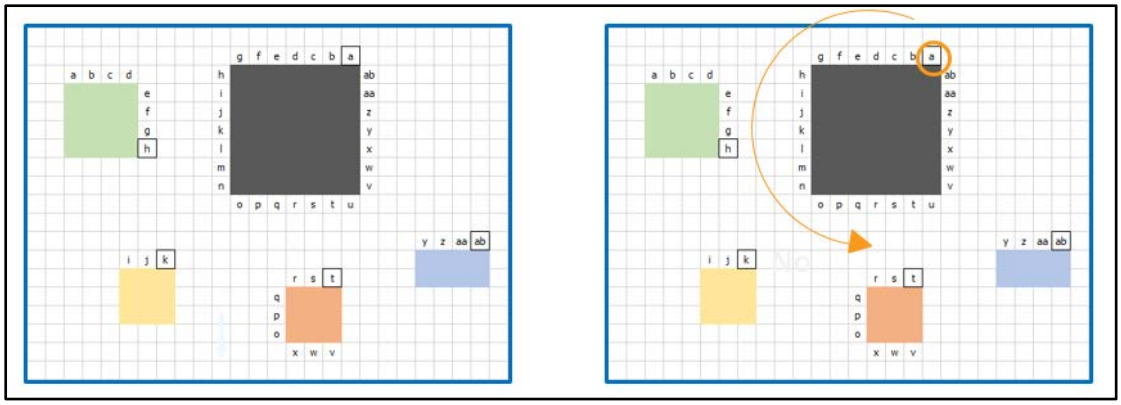
1. การกำหนดพินขาของอุปกรณ์ และจัดขาของอุปกรณ์เข้าสู่รูปการจัดลำดับแบบเซต ด้วยการกำหนดพินของอุปกรณ์ (Pins assignments) นั้นจะเกิดขึ้นที่ขาของอุปกรณ์ ที่อยู่ภายใต้ขอบเขตที่ได้เลือกไว้ ในงานวิจัยนี้ได้ทำการเลือกอุปกรณ์ที่เป็นลักษณะที่มีพินขาออกมาด้านนอกหรืออยู่ด้านข้าง (Boundary pin)



ภาพที่ 3-4 อุปกรณ์ประเภทอุปกรณ์ที่มีพินขาด้านข้าง Boundary pin

วิธีการเลียงลำดับจะถูกให้อยู่ในรูปของพินขาแบบของเซต (Set) จะถูกมองเป็นลำดับ (Sequence) โดยกระบวนการนี้จะประกอบไปด้วยส่วนแรก คือ All pins type (APT) คือ ชนิดของพินขาทั้งหมดที่อยู่บนบริเวณของพื้นการออกแบบเส้นสัญญาณ

อุปกรณ์ตัวที่ n (U(n)) ใช้แทนตัวอุปกรณ์ในกระบวนการ n คือ ตัวเลขของอุปกรณ์โดยอุปกรณ์หลักมีการเริ่มจากเลข 0 ขึ้นไปเรื่อย 0 คือ ตัวเลขของตัวอุปกรณ์หลักที่มีจำนวนขามากที่สุดในบริเวณพื้นที่ออกแบบ ในกรณีนี้เราจะสาธิตวิธีที่มีพินขาภายใต้ U(n) อย่างเดียว เริ่มจากการเลือกตัวแรกในการวนขา จะทำการวนขาในทิศทวนเข็มนาฬิกาของ U0 ก่อนด้วยที่ขามีจำนวนมากที่สุดดังภาพที่ 3-5 ซึ่งเมื่อทำการวน



ภาพที่ 3-5 ซ้าย คือ การวางอุปกรณ์ชุดตัวอย่างมีอุปกรณ์ทั้งหมด 5 ตัว และขวา คือ การหมุนพินขาในลักษณะทวนเข็มนาฬิกาเพื่อทำการ Pin assignment

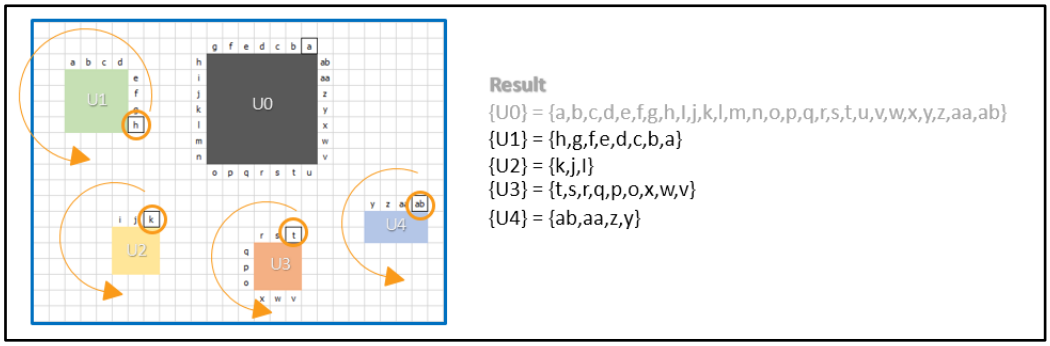
เริ่มจาก a หรือสามารถเป็นพินอื่นได้ จะได้

a, b, c, d, e, f, g, h, I, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab (3-1)

จากนั้นให้นำค่าที่ได้เข้าเป็นเซตของ U(0) เป็นดังนี้

U0 = {a, b, c, d, e, f, g, h, I, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab} (3-2)

จากนั้นทำการวนพินให้ครบอุปกรณ์ทุกตัวดังภาพที่ 3-6 ซึ่งจะได้ผลดังนี้



ภาพที่ 3-6 การวนของอุปกรณ์ทุกตัว และผลลัพท์ของการวนพินขาอุปกรณ์ทุกตัว

จะได้ U1 = {h, g, f, e, d, c, b} (3-3)

U2 = {k, j, l} (3-4)

U3 = {t, s, r, q, p, o, x, w, v} (3-5)

U4 = {ab, aa, z, y} (3-6)

เมื่อได้ผลของ (3-2), (3-3), (3-4), (3-5) และ (3-6) แล้ว จากนั้นทำการหาค่าของ APT ด้วยการนำเซตของทุกตัวมาทำการยูเนี่ยนกันจะได้ผลดังภาพที่ 3-7

ภาพที่ 3-7 วิธีการหาการค่า APT โดยการนำเซตของ U0, U1, U2 U3 และ U4 มายูเนี่ยนกันทั้งหมด

จะได้ APT = {a, b, c, d, e, f, g, h, i, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab} (3-8)

เมื่อทราบจำนวนอุปกรณ์และจำนวนขาทั้งหมดแล้ว เราสามารถคำนวณหาพินขาที่ไม่ได้อยู่ในเซตนั้น ๆ ซึ่งค่านี้จะทำให้เกิดการทราบถึงจำนวนพินที่ไม่สามารถเดินเส้นสัญญาณได้ ในงานวิจัยนี้ เรียกว่า Non sub set (NSS) ต่อไปเป็นการหาลำดับการเกิดการเชื่อมต่อระหว่างพินขาโดยจะสนใจที่ชื่อของพินขา ทั้งหมดจะมีความสอดคล้องกัน

ค่า APT ในครั้งนี้มีค่าเท่ากับ 28 มาลบกับค่าจำนวนพินขาของ U0 ซึ่งมีค่าเท่ากับ 28 จึงจะได้ค่าของ NSS โดยในที่นี้เรามี NSS = 0 จากภาพที่ 3-7 มีการนับ U0 = 28 พิน ได้แก่ {a, b, c, d, e, f, g, h, I, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab} และมีอุปกรณ์ที่เชื่อมต่อกับ U0 อีก 4 ตัว คือ U1, U2, U3 และ U4

Find : NSS (Non sup set) = **APT – {U0}**
NSS = {a,b,c,d,e,f,g,h,I,j,k,l,m,n,o,p,q,r,s,t,u,v,w,x,y,z,aa,ab} - {a,b,c,d,e,f,g,h,I,j,k,l,m,n,o,p,q,r,s,t,u,v,w,x,y,z,aa,ab}
NSS = 0

ภาพที่ 3-8 วิธีการหาการค่า NSS โดยการนำเซตของ APT มาหักออกด้วย เซตของ U0

2. การคัดกรองของพินและการจัดลำดับการเดินเส้นสัญญาณ

ในขั้นตอนนี้จะทำการคัดเลือกและจัดอันดับพินที่สามารถทำการเดินเส้นสัญญาณได้ โดยจะให้พินของ U0 ที่ได้เลือกให้เป็นตัวอุปกรณ์หลักนำมาเข้าผลคูณคาทีเชียน(Cartesian product) กับคู่อันดับที่หาได้จากการเรียงลำดับพินที่นำมาต่อกันโดยไม่สนใจการซ้ำของประเภทขาซึ่งให้มันชื่อว่า Us สามารถหาค่าเซตของ Us ได้โดยการนำเซตของ U1, U2, U3 และ U4 มายูเนี่ยนกันดังภาพที่ 3-7

Find : Us = {U1} ∪ {U2} ∪ {U3} ∪ {U4}
Us = {h,g,f,ed,c,b,a,l,m,n} ∪ {k,j,l,u} ∪ {t,s,r,q,p,o,x,w,v} ∪ {ab,aa,z,y}
Us = {h,g,f,e,d,c,b,a,l,m,n,k,j,l,u,t,s,r,q,p,o,x,w,v,ab,aa,z,y}

ภาพที่ 3-9 วิธีการหาการค่า Us โดยการนำเซตของ U1, U2 U3 และ U4 มายูเนี่ยนกันทั้งหมด

จะได้

Us = {h, g, f, e, d, c, b, a, l, m, n, k, j, l, u, t, s, r, q, p, o, x, w, v, ab, aa, z, y} (3-9)

เมื่อได้ค่า Us แล้ว นำค่า U0 และ Us มาทำการ Pin mapping ต่อไป

ตัวอย่างวิธีคิดการทำ Pin mapping

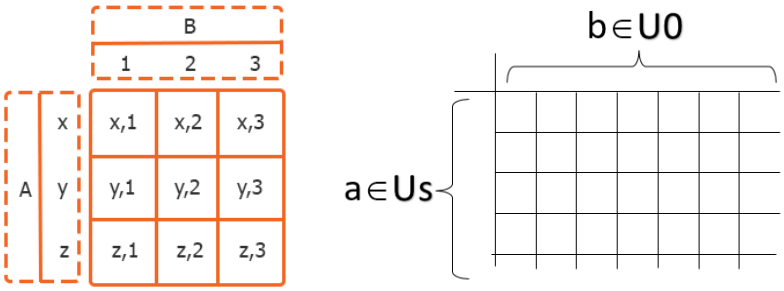
ในขั้นตอนการทำ Pin Mapping นี้จะเอาพินที่ได้จากค่าของ U0 มาทำการรวมกันกับ Us

โดยที่ U0 = {a, b, c, d, e, f, g, h, I, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab}

Us = {h, g, f, e, d, c, b, a, l, m, n, k, j, l, u, t, s, r, q, p, o, x, w, v, ab, aa, z, y}

จากนั้นนำ U0 ตั้งเป็นตัวหลักในการคูณเป็นในลักษณะของผลคูณคาร์ทีเชียน

$A \times B = \{(a,b) | a \in A \text{ and } b \in B\}$ จะได้ $Us \times U0 = \{(a, b) | a \in Us \text{ and } b \in U0\}$ (3-10)



ภาพที่ 3-10 ซ้าย คือ รูปแบบผลคูณคาร์ทีเซียน และขวา คือ ภาพเมื่อทำไปประยุกต์ใช้

	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t	u	v	w	x	y	z	aa	ab
h	a,h	b,h	c,h	d,h	e,h	f,h	g,h	h,h	i,h	j,h	k,h	l,h	m,h	n,h	o,h	p,h	q,h	r,h	s,h	t,h	u,h	v,h	w,h	x,h	y,h	z,h	aa,h	ab,h
g	a,g	b,g	c,g	d,g	e,g	f,g	g,g	h,g	i,g	j,g	k,g	l,g	m,g	n,g	o,g	p,g	q,g	r,g	s,g	t,g	u,g	v,g	w,g	x,g	y,g	z,g	aa,g	ab,g
f	a,f	b,f	c,f	d,f	e,f	f,f	g,f	h,f	i,f	j,f	k,f	l,f	m,f	n,f	o,f	p,f	q,f	r,f	s,f	t,f	u,f	v,f	w,f	x,f	y,f	z,f	aa,f	ab,f
e	a,e	b,e	c,e	d,e	e,e	f,e	g,e	h,e	i,e	j,e	k,e	l,e	m,e	n,e	o,e	p,e	q,e	r,e	s,e	t,e	u,e	v,e	w,e	x,e	y,e	z,e	aa,e	ab,e
d	a,d	b,d	c,d	d,d	e,d	f,d	g,d	h,d	i,d	j,d	k,d	l,d	m,d	n,d	o,d	p,d	q,d	r,d	s,d	t,d	u,d	v,d	w,d	x,d	y,d	z,d	aa,d	ab,d
c	a,c	b,c	c,c	d,c	e,c	f,c	g,c	h,c	i,c	j,c	k,c	l,c	m,c	n,c	o,c	p,c	q,c	r,c	s,c	t,c	u,c	v,c	w,c	x,c	y,c	z,c	aa,c	ab,c
b	a,b	b,b	c,b	d,b	e,b	f,b	g,b	h,b	i,b	j,b	k,b	l,b	m,b	n,b	o,b	p,b	q,b	r,b	s,b	t,b	u,b	v,b	w,b	x,b	y,b	z,b	aa,b	ab,b
a	a,a	b,a	c,a	d,a	e,a	f,a	g,a	h,a	i,a	j,a	k,a	l,a	m,a	n,a	o,a	p,a	q,a	r,a	s,a	t,a	u,a	v,a	w,a	x,a	y,a	z,a	aa,a	ab,a
k	a,k	b,k	c,k	d,k	e,k	f,k	g,k	h,k	i,k	j,k	k,k	l,k	m,k	n,k	o,k	p,k	q,k	r,k	s,k	t,k	u,k	v,k	w,k	x,k	y,k	z,k	aa,k	ab,k
j	a,j	b,j	c,j	d,j	e,j	f,j	g,j	h,j	i,j	j,j	k,j	l,j	m,j	n,j	o,j	p,j	q,j	r,j	s,j	t,j	u,j	v,j	w,j	x,j	y,j	z,j	aa,j	ab,j
i	a,i	b,i	c,i	d,i	e,i	f,i	g,i	h,i	i,i	j,i	k,i	l,i	m,i	n,i	o,i	p,i	q,i	r,i	s,i	t,i	u,i	v,i	w,i	x,i	y,i	z,i	aa,i	ab,i
t	a,t	b,t	c,t	d,t	e,t	f,t	g,t	h,t	i,t	j,t	k,t	l,t	m,t	n,t	o,t	p,t	q,t	r,t	s,t	t,t	u,t	v,t	w,t	x,t	y,t	z,t	aa,t	ab,t
s	a,s	b,s	c,s	d,s	e,s	f,s	g,s	h,s	i,s	j,s	k,s	l,s	m,s	n,s	o,s	p,s	q,s	r,s	s,s	t,s	u,s	v,s	w,s	x,s	y,s	z,s	aa,s	ab,s
r	a,r	b,r	c,r	d,r	e,r	f,r	g,r	h,r	i,r	j,r	k,r	l,r	m,r	n,r	o,r	p,r	q,r	r,r	s,r	t,r	u,r	v,r	w,r	x,r	y,r	z,r	aa,r	ab,r
q	a,q	b,q	c,q	d,q	e,q	f,q	g,q	h,q	i,q	j,q	k,q	l,q	m,q	n,q	o,q	p,q	q,q	r,q	s,q	t,q	u,q	v,q	w,q	x,q	y,q	z,q	aa,q	ab,q
p	a,p	b,p	c,p	d,p	e,p	f,p	g,p	h,p	i,p	j,p	k,p	l,p	m,p	n,p	o,p	p,p	q,p	r,p	s,p	t,p	u,p	v,p	w,p	x,p	y,p	z,p	aa,p	ab,p
o	a,o	b,o	c,o	d,o	e,o	f,o	g,o	h,o	i,o	j,o	k,o	l,o	m,o	n,o	o,o	p,o	q,o	r,o	s,o	t,o	u,o	v,o	w,o	x,o	y,o	z,o	aa,o	ab,o
x	a,x	b,x	c,x	d,x	e,x	f,x	g,x	h,x	i,x	j,x	k,x	l,x	m,x	n,x	o,x	p,x	q,x	r,x	s,x	t,x	u,x	v,x	w,x	x,x	y,x	z,x	aa,x	ab,x
w	a,w	b,w	c,w	d,w	e,w	f,w	g,w	h,w	i,w	j,w	k,w	l,w	m,w	n,w	o,w	p,w	q,w	r,w	s,w	t,w	u,w	v,w	w,w	x,w	y,w	z,w	aa,w	ab,w
v	a,v	b,v	c,v	d,v	e,v	f,v	g,v	h,v	i,v	j,v	k,v	l,v	m,v	n,v	o,v	p,v	q,v	r,v	s,v	t,v	u,v	v,v	w,v	x,v	y,v	z,v	aa,v	ab,v
ab	a,ab	b,ab	c,ab	d,ab	e,ab	f,ab	g,ab	h,ab	i,ab	j,ab	k,ab	l,ab	m,ab	n,ab	o,ab	p,ab	q,ab	r,ab	s,ab	t,ab	u,ab	v,ab	w,ab	x,ab	y,ab	z,ab	aa,ab	ab,ab
aa	a,aa	b,aa	c,aa	d,aa	e,aa	f,aa	g,aa	h,aa	i,aa	j,aa	k,aa	l,aa	m,aa	n,aa	o,aa	p,aa	q,aa	r,aa	s,aa	t,aa	u,aa	v,aa	w,aa	x,aa	y,aa	z,aa	aa,aa	ab,aa
z	a,z	b,z	c,z	d,z	e,z	f,z	g,z	h,z	i,z	j,z	k,z	l,z	m,z	n,z	o,z	p,z	q,z	r,z	s,z	t,z	u,z	v,z	w,z	x,z	y,z	z,z	aa,z	ab,z
y	a,y	b,y	c,y	d,y	e,y	f,y	g,y	h,y	i,y	j,y	k,y	l,y	m,y	n,y	o,y	p,y	q,y	r,y	s,y	t,y	u,y	v,y	w,y	x,y	y,y	z,y	aa,y	ab,y

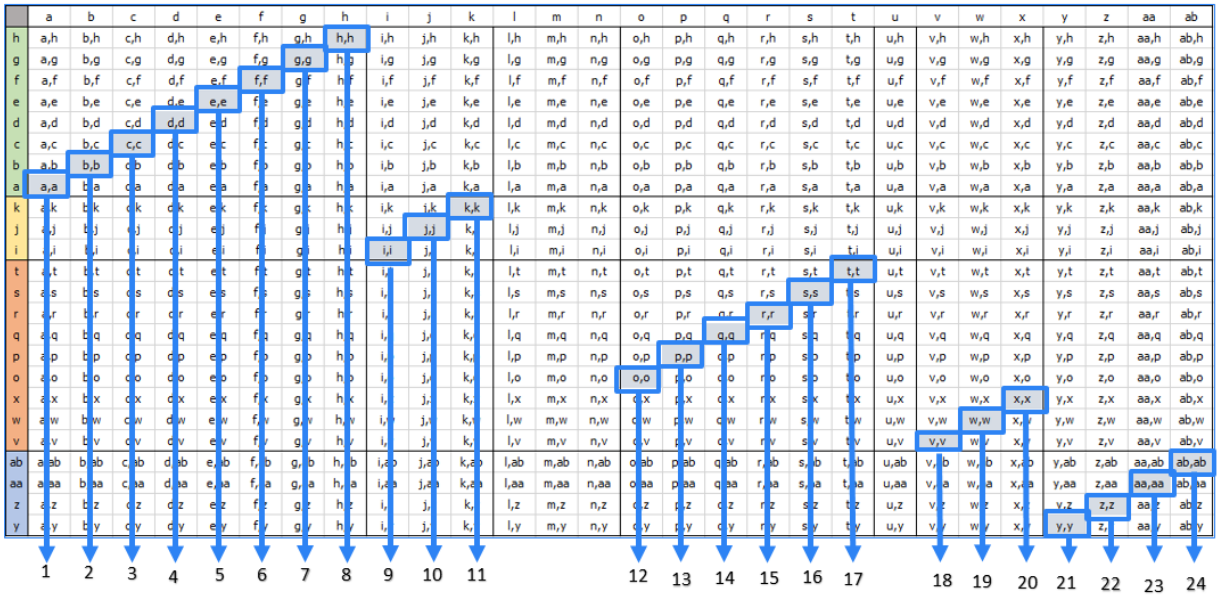
ภาพที่ 3-11 ผลคูณคาร์ทีเซียนระหว่าง U0 และ Us

จากภาพที่ 3-11 จะเห็นได้ว่าผลคูณจะออกมาเป็นตารางซึ่งจะเกิดโอกาสการจับคู่ขนาดทั้งหมด $28 \times 24 = 672$ คู่ จำนวนของ U0 = 28 และ Us = 24 และด้วยการจากทั้ง 672 คู่จะมีเพียง 28 คู่ที่สามารถนำมาออกแบบได้จริง จะทำการอธิบายในขั้นตอนต่อไป

3. ขั้นตอนการจัดเรียงเซตคู่อันดับ (Set sequence)

หลังจากได้ผลคูณคาร์ทีเซียนแล้ว การคัดเลือกคู่อันดับจะเกิดจากการที่มีจับคู่พินที่เหมือนกันเท่านั้น เช่น หากพบว่าคู่ของพิน (a,a) มาเป็นอันดับแรก แสดงว่าคู่พินนี้สามารถเดินเส้น

สัญญาณได้ คู่พินนี้ยังต้องเดินเป็นอันดับแรกด้วย ในขั้นต่อไปพบคู่ของ (b,b) มาเป็นคู่อันดับที่สอง คู่พินนี้จะถูกทำการเดินเส้นสัญญาณเป็นอันดับที่สอง โดยสังเกตจากซ้ายไปขวาว่าคู่ใดที่เกิดก่อน คู่นั้นจะเป็นอันดับก่อนเสมอ อย่างเช่น ภาพที่ 3-10

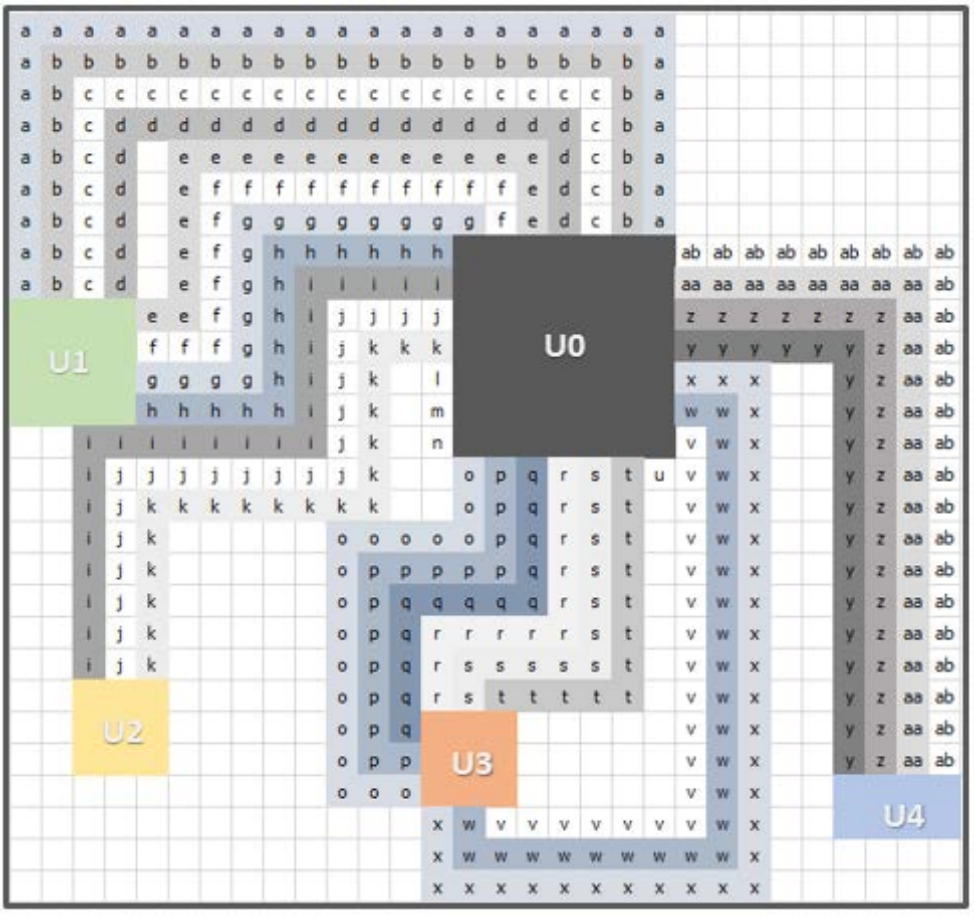


ภาพที่ 3-12 การเกิดคู่อันดับ

จากภาพที่ 3-11 และภาพที่ 3-12 จะเห็นว่ามีการเกิดคู่อันดับทั้งหมด 24 คู่ ซึ่งในงานวิจัยนี้ เรียกว่า Set sequence (SS) มีเรียง ดังนี้

Set sequence = {(aa, bb, cc, dd, ee, ff, gg, hh, ii, jj, kk, oo, pp, qq, rr, ss, tt, uu, vv, ww, xx, yy, zz, aaaa, abab)} (3-11)

เมื่อได้ค่าของ SS มาแล้ว ทำให้สามารถทราบคู่อันดับ การเดินเส้นสัญญาณก่อนและหลัง จากนั้นทำการออกแบบ เพื่อทดสอบความเป็นไปได้ของเทคนิคนี้เป็นดังภาพที่ 3-13

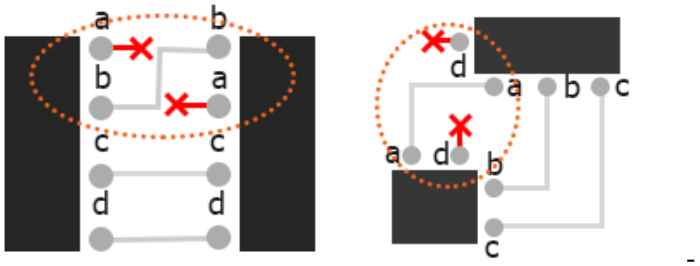


ภาพที่ 3-13 การทดสอบเทคนิคนี้เป็นการออกแบบเส้นสัญญาณแบบง่าย

การทดสอบดังกล่าวสามารถแสดงได้ถึงเทคนิคการจัดลำดับพินขาสามารถทำงานได้จริง และนอกจากนี้ยังสามารถเดินเส้นสัญญาณได้หมดในชั้นเดียว แต่ในการทดสอบนี้ยังคงแสดงให้เห็นการเดินเส้นสัญญาณที่สามารถเดินได้ครบทุกเส้น ซึ่งขาของอุปกรณ์ทั่วไปจะไม่มีการที่ออกแบบได้ง่าย โดยเฉพาะอุปกรณ์ที่เป็นตัวประมวลผลที่ปัจจุบันนั้นสามารถปรับเปลี่ยนตำแหน่งขาได้ทันด้วยโปรแกรม ทำให้สะดวกสำหรับผู้ออกแบบอย่างมาก

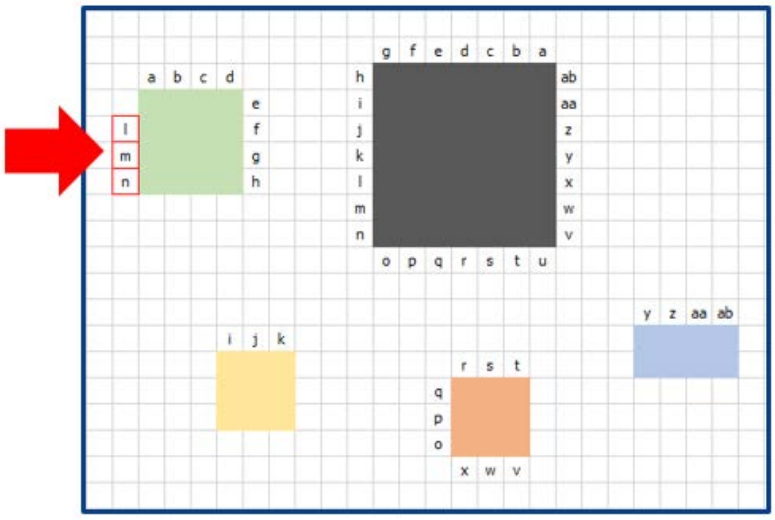
4. ประเภทของพินที่ไม่สามารถคัดกรองได้

ในความสามารถของเทคนิคนี้ การจัดลำดับพินขานั้นสามารถคัดกรองขาที่ไม่สามารถออกแบบได้ หรือไม่สามารถเดินได้ในชั้นนั้น ๆ ได้ จึงได้เพิ่มกรณีศึกษาเพิ่มเติมในการทดสอบเทคนิคนี้เพื่อเป็นการยืนยันสำหรับการคัดกรองในกรณีที่มีพินคู่ที่เป็นปัญหา



ภาพที่ 3-14 Pin intersection

ในการออกแบบเส้นสัญญาณหากพบพินที่มีการเกิดสิ่งกีดขวาง หรือเกิดการไขว้กันทำให้ไม่สามารถเดินเส้นสัญญาณได้ ลักษณะเหตุการณ์นี้ในงานวิจัยได้เพิ่มกรณีปัญหาเข้าในวงจร ตัวอย่างดังภาพที่ 3-15



ภาพที่ 3-15 การเพิ่มชุดพินที่เป็นปัญหา คือ พิน l, m และ n ที่อุปกรณ์ U1

เมื่อได้วงจรสมมุติแล้ว ให้ทำกระบวนการเดิมตั้งแต่ต้น โดยการหา APT, U0, U1, U2, U3, U4 และ Us ตามลำดับดังนี้

APT = {a, b, c, d, e, f, g, h, i, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab}

U0 = {a, b, c, d, e, f, g, h, I, j, k, l, m, n, o, p, q, r, s, t, u, v, w, x, y, z, aa, ab}

U1 = {h, g, f, e, d, c, b, l, m, n} (3-11)

U2 = {k, j, i}

U3 = {t, s, r, q, p, o, x, w, v}

U4 = {ab, aa, z, y}

จะได้ Us = {h, g, f, e, d, c, b, l, m, n, k, j, l, t, s, r, q, p, o, x, w, v, ab, aa, z, y} (3-12)

ทำการจับคู่อันดับด้วยผลคูณคาร์ทีเซียน

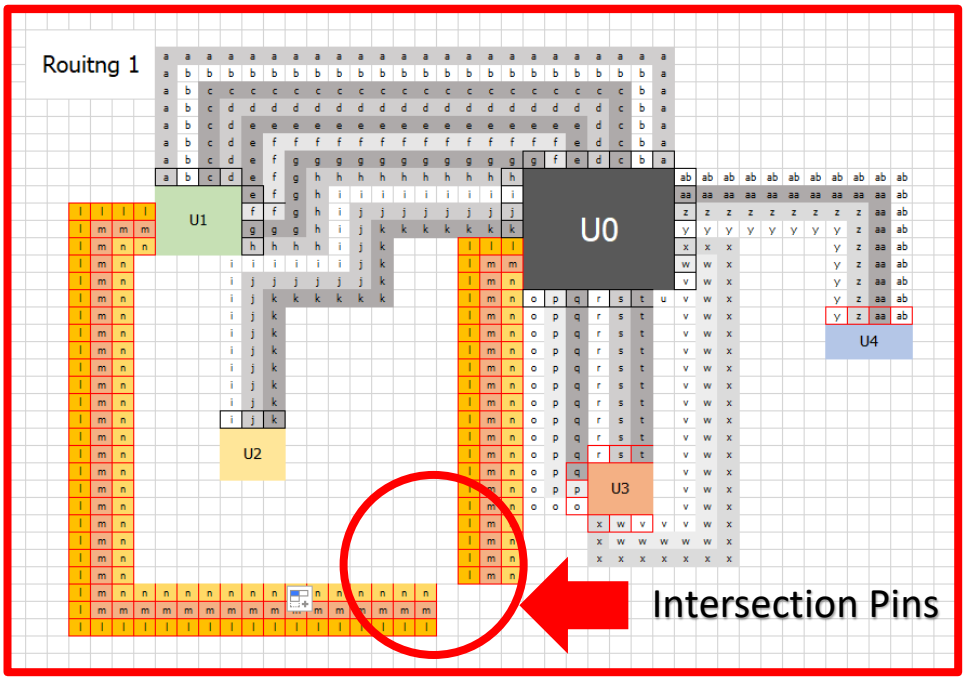
	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t	v	w	x	y	z	aa	ab
h	a,h	b,h	c,h	d,h	e,h	f,h	g,h	h,h	i,h	j,h	k,h	l,h	m,h	n,h	o,h	p,h	q,h	r,h	s,h	t,h	v,h	w,h	x,h	y,h	z,h	aa,h	ab,h
g	a,g	b,g	c,g	d,g	e,g	f,g	g,g	h,g	i,g	j,g	k,g	l,g	m,g	n,g	o,g	p,g	q,g	r,g	s,g	t,g	v,g	w,g	x,g	y,g	z,g	aa,g	ab,g
f	a,f	b,f	c,f	d,f	e,f	f,f	g,f	h,f	i,f	j,f	k,f	l,f	m,f	n,f	o,f	p,f	q,f	r,f	s,f	t,f	v,f	w,f	x,f	y,f	z,f	aa,f	ab,f
e	a,e	b,e	c,e	d,e	e,e	f,e	g,e	h,e	i,e	j,e	k,e	l,e	m,e	n,e	o,e	p,e	q,e	r,e	s,e	t,e	v,e	w,e	x,e	y,e	z,e	aa,e	ab,e
l	a,l	b,l	c,l	d,l	e,l	f,l	g,l	h,l	i,l	j,l	k,l	l,l	m,l	n,l	o,l	p,l	q,l	r,l	s,l	t,l	v,l	w,l	x,l	y,l	z,l	aa,l	ab,l
m	a,m	b,m	c,m	d,m	e,m	f,m	g,m	h,m	i,m	j,m	k,m	l,m	m,m	n,m	o,m	p,m	q,m	r,m	s,m	t,m	v,m	w,m	x,m	y,m	z,m	aa,m	ab,m
n	a,n	b,n	c,n	d,n	e,n	f,n	g,n	h,n	i,n	j,n	k,n	l,n	m,n	n,n	o,n	p,n	q,n	r,n	s,n	t,n	v,n	w,n	x,n	y,n	z,n	aa,n	ab,n
d	a,d	b,d	c,d	d,d	e,d	f,d	g,d	h,d	i,d	j,d	k,d	l,d	m,d	n,d	o,d	p,d	q,d	r,d	s,d	t,d	v,d	w,d	x,d	y,d	z,d	aa,d	ab,d
c	a,c	b,c	c,c	d,c	e,c	f,c	g,c	h,c	i,c	j,c	k,c	l,c	m,c	n,c	o,c	p,c	q,c	r,c	s,c	t,c	v,c	w,c	x,c	y,c	z,c	aa,c	ab,c
b	a,b	b,b	c,b	d,b	e,b	f,b	g,b	h,b	i,b	j,b	k,b	l,b	m,b	n,b	o,b	p,b	q,b	r,b	s,b	t,b	v,b	w,b	x,b	y,b	z,b	aa,b	ab,b
a	a,a	b,a	c,a	d,a	e,a	f,a	g,a	h,a	i,a	j,a	k,a	l,a	m,a	n,a	o,a	p,a	q,a	r,a	s,a	t,a	v,a	w,a	x,a	y,a	z,a	aa,a	ab,a
k	a,k	b,k	c,k	d,k	e,k	f,k	g,k	h,k	i,k	j,k	k,k	l,k	m,k	n,k	o,k	p,k	q,k	r,k	s,k	t,k	v,k	w,k	x,k	y,k	z,k	aa,k	ab,k
j	a,j	b,j	c,j	d,j	e,j	f,j	g,j	h,j	i,j	j,j	k,j	l,j	m,j	n,j	o,j	p,j	q,j	r,j	s,j	t,j	v,j	w,j	x,j	y,j	z,j	aa,j	ab,j
i	a,i	b,i	c,i	d,i	e,i	f,i	g,i	h,i	i,i	j,i	k,i	l,i	m,i	n,i	o,i	p,i	q,i	r,i	s,i	t,i	v,i	w,i	x,i	y,i	z,i	aa,i	ab,i
u	a,u	b,u	c,u	d,u	e,u	f,u	g,u	h,u	i,u	j,u	k,u	l,u	m,u	n,u	o,u	p,u	q,u	r,u	s,u	t,u	v,u	w,u	x,u	y,u	z,u	aa,u	ab,u
t	a,t	b,t	c,t	d,t	e,t	f,t	g,t	h,t	i,t	j,t	k,t	l,t	m,t	n,t	o,t	p,t	q,t	r,t	s,t	t,t	v,t	w,t	x,t	y,t	z,t	aa,t	ab,t
s	a,s	b,s	c,s	d,s	e,s	f,s	g,s	h,s	i,s	j,s	k,s	l,s	m,s	n,s	o,s	p,s	q,s	r,s	s,s	t,s	v,s	w,s	x,s	y,s	z,s	aa,s	ab,s
r	a,r	b,r	c,r	d,r	e,r	f,r	g,r	h,r	i,r	j,r	k,r	l,r	m,r	n,r	o,r	p,r	q,r	r,r	s,r	t,r	v,r	w,r	x,r	y,r	z,r	aa,r	ab,r
q	a,q	b,q	c,q	d,q	e,q	f,q	g,q	h,q	i,q	j,q	k,q	l,q	m,q	n,q	o,q	p,q	q,q	r,q	s,q	t,q	v,q	w,q	x,q	y,q	z,q	aa,q	ab,q
p	a,p	b,p	c,p	d,p	e,p	f,p	g,p	h,p	i,p	j,p	k,p	l,p	m,p	n,p	o,p	p,p	q,p	r,p	s,p	t,p	v,p	w,p	x,p	y,p	z,p	aa,p	ab,p
o	a,o	b,o	c,o	d,o	e,o	f,o	g,o	h,o	i,o	j,o	k,o	l,o	m,o	n,o	o,o	p,o	q,o	r,o	s,o	t,o	v,o	w,o	x,o	y,o	z,o	aa,o	ab,o
x	a,x	b,x	c,x	d,x	e,x	f,x	g,x	h,x	i,x	j,x	k,x	l,x	m,x	n,x	o,x	p,x	q,x	r,x	s,x	t,x	v,x	w,x	x,x	y,x	z,x	aa,x	ab,x
w	a,w	b,w	c,w	d,w	e,w	f,w	g,w	h,w	i,w	j,w	k,w	l,w	m,w	n,w	o,w	p,w	q,w	r,w	s,w	t,w	v,w	w,w	x,w	y,w	z,w	aa,w	ab,w
v	a,v	b,v	c,v	d,v	e,v	f,v	g,v	h,v	i,v	j,v	k,v	l,v	m,v	n,v	o,v	p,v	q,v	r,v	s,v	t,v	v,v	w,v	x,v	y,v	z,v	aa,v	ab,v
ab	a,ab	b,ab	c,ab	d,ab	e,ab	f,ab	g,ab	h,ab	i,ab	j,ab	k,ab	l,ab	m,ab	n,ab	o,ab	p,ab	q,ab	r,ab	s,ab	t,ab	v,ab	w,ab	x,ab	y,ab	z,ab	aa,ab	ab,ab
aa	a,aa	b,aa	c,aa	d,aa	e,aa	f,aa	g,aa	h,aa	i,aa	j,aa	k,aa	l,aa	m,aa	n,aa	o,aa	p,aa	q,aa	r,aa	s,aa	t,aa	v,aa	w,aa	x,aa	y,aa	z,aa	aa,aa	ab,aa
z	a,z	b,z	c,z	d,z	e,z	f,z	g,z	h,z	i,z	j,z	k,z	l,z	m,z	n,z	o,z	p,z	q,z	r,z	s,z	t,z	v,z	w,z	x,z	y,z	z,z	aa,z	ab,z
y	a,y	b,y	c,y	d,y	e,y	f,y	g,y	h,y	i,y	j,y	k,y	l,y	m,y	n,y	o,y	p,y	q,y	r,y	s,y	t,y	v,y	w,y	x,y	y,y	z,y	aa,y	ab,y

ภาพที่ 3-16 ผลคูณคาร์ทีเซียนระหว่าง U0 และ Us ในลักษณะของกรณีที่มีปัญหา Pin intersection

ภาพที่ 3-16 จะเห็นว่ามีการเกิดคู่อันดับทั้งหมด 24 คู่ ซึ่งในงานวิจัยนี้เรียกว่า Set sequence (SS) มีเรียง ดังนี้

Set Sequence = {(aa, bb, cc, dd, ee, ff, gg, hh, ii, jj, kk, ll, mm, nn, oo, pp, qq, rr, ss, tt, uu, vv, ww, xx, yy, zz, aaaa, abab)} (3-13)

เมื่อได้ค่าของ SS มาแล้ว ทำให้สามารถทราบคู่อันดับการเดินเส้นสัญญาณก่อนและหลัง จากนั้นทำการออกแบบ เพื่อทดสอบความเป็นไปได้ของเทคนิคนี้เป็นดังภาพที่ 3-15

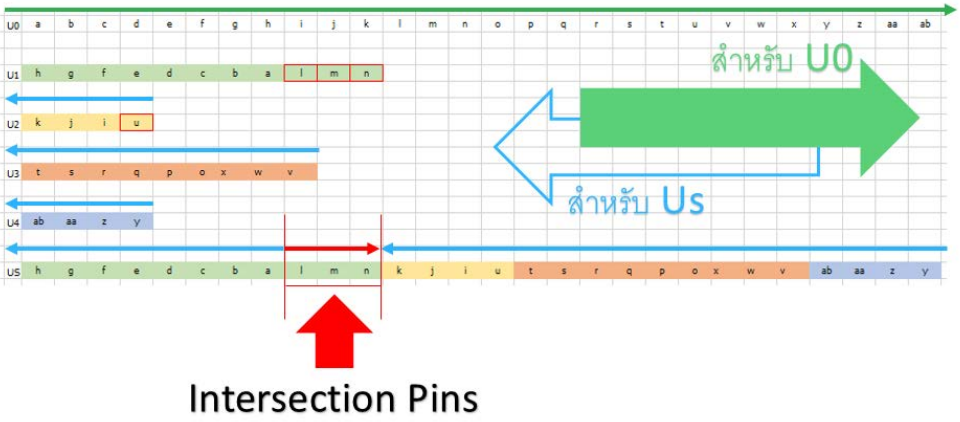


ภาพที่ 3-17 ปัญหาที่พบเมื่อทำการเดินเส้นสัญญาณ

จากภาพที่ 3-17 จะเห็นได้ว่าพิน l, m, n ไม่สามารถเดินเส้นสัญญาณได้ทำให้เป็นการเดินเส้นสัญญาณชุดนี้ไว้กลายเป็นเส้นสัญญาณที่นำมาออกแบบไม่ได้ แต่ด้วยในงานวิจัยนี้ได้เพิ่มวิธีการคัดกรองคู่พินที่คาดว่าน่าจะเป็นปัญหาในลักษณะนี้ด้วยวิธีการดักคู่พินที่มีการเรียงในลักษณะที่ผิดปกติในขั้นตอนการทำการกำหนดพินของอุปกรณ์

โดย U0 จะทำการเรียงพินจากซ้ายไปขวา และ Us จะทำการเรียงพินจากขวาไปซ้าย ลักษณะการเรียงพินของเซต U0 จะต้องมีทิศทางตรงกันข้ามดับพินของเซต Us ดังปรากฏกับภาพที่ 3-16 จะเห็นได้ว่าทุกพินในเซตของ Us จะมีการเรียงพินในทิศทางตรงกันข้ามกับเซตของ U0 เกือบทั้งหมด ยกเว้นพิน l, m และ n ที่มีทิศทางการเรียงเป็นไปตามทิศของ U0

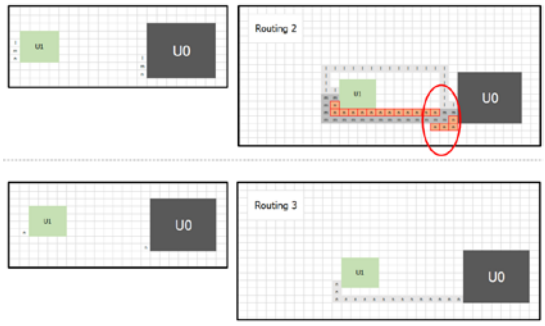
ในกรณีนี้คู่พิน l, m, และ n จะถูกตัดออกมาก่อนเนื่องจากจะทำการคาดเดาว่าจะทำให้เดินเส้นสัญญาณไม่เป็นผลสำเร็จ จะต้องนำไปผ่านการคัดกรองและจับคู่อีกรอบหรือจนกว่าจะทำให้เกิดการเดินเส้นสัญญาณคู่นั้น ๆ สำเร็จ



ภาพที่ 3-18 การเรียงลำดับของพินขาที่มีลักษณะที่ผิดปกติ

5. การนำขึ้นชั้นใหม่และการวนซ้ำ

เนื่องจากมีการกรองพินที่ไม่สามารถเดินเส้นสัญญาณในชั้นเดียว คู่พินขาที่ถูกกรองออกมาจะถูกทำการวนซ้ำ เพื่อทำการเดินเส้นสัญญาณให้ครบ โดยพินที่ไม่สามารถเดินเส้นสัญญาณได้จะถูกกรองออกมาในรูปแบบของพินที่ไม่สามารถดำเนินการเดินเส้นสัญญาณในชั้นก่อนหน้านี้ได้ จึงจำเป็นต้องขึ้นชั้นใหม่ เพื่อทำการเดินเส้นสัญญาณให้ครบ



ภาพที่ 3-19 บนผลลัพธ์การเดินเส้นสัญญาณรอบที่สอง และบนผลลัพธ์การเดินเส้นสัญญาณรอบที่สาม

จากภาพที่ 3-19 จะเห็นได้ว่าเทคนิคของงานวิจัยนี้สามารถคัดกรองได้จริง และสามารถแยกแยะคู่พินที่คาดว่าจะไม่สามารถเดินเส้นสัญญาณถึงกันได้ และไม่ได้ออกมาด้วย แต่อาจจะต้องทำการวนกระบวนการเดิมถึงสามรอบ และทำให้เกิดจำนวนชั้นทั้งหมดถึงสามชั้น จึงได้การเดินเส้นสัญญาณที่ครบทุกพินตามที่ต้องการ

6. การให้คะแนนระดับความซับซ้อน

ด้วยเทคนิคการจัดลำดับพินขาในรูปแบบของเซต นอกจะทำการคัดกรองและกำหนดการเดินเส้นสัญญาณแล้ว ยังสามารถบอกเวลาในการประมวลผลรวมไปถึงการบอกระดับความซับซ้อนของชุดวงจรนั้นได้อีกด้วย

วิธีการคำนวณคะแนนระดับความซับซ้อน

คิดจาก จำนวนชั้นที่เกิดขึ้น + เวลาในการประมวลผล = ผลลัพท์ (เป็นจำนวนเต็ม) (3-14)

ตัวอย่างการคำนวณคะแนน

```
D:\Thesis\Thesis Em\Thesis Em>node index.js
U0:a,b,c,d,e,f,g,h,I,j,k,l,m,n,o,p,q,r,s,t,u,v,w,x,y,z,aa,ab
U1:d,c,b,a,l,m,n,h,g,f,e
U2:k,j,I,u
U3:t,s,r,q,p,o,x,w,v
U4:ab,aa,z,y

Output
NSS = 0
Q = 25
Layer 1  PIN =  aa,bb,cc,dd,ee,ff,gg,hh,II,jj,kk,nn,oo,pp,qq,rr,ss,tt,vv,ww,xx,yy,zz,aaaa,abab
PIN Remain = l,m,u
process:: 0.854ms
Layer 2  PIN =  ll,mm,uu
PIN Remain =
process:: 0.316ms
```

ภาพที่ 3-20 ตัวอย่างผลการใช้เทคนิคการจัดลำดับพินขาในรูปแบบของเซตด้วย Command line

จากภาพที่ 3-20 จะเห็นได้ว่ามีผลออกมตรงส่วน Output ซึ่งเกิดชั้นขึ้นถึง 2 ชั้น โดยชั้นแรกใช้เวลาไปทั้งสิ้นที่ 0.854 มิลลิวินาที และชั้นที่ 2 ใช้เวลาไปทั้งสิ้นที่ 0.316 มิลลิวินาที นำเวลามารวมกันจะได้เท่ากับ 1.17 มิลลิวินาที เป็นเวลาทั้งหมดที่ใช้ไป

จากนั้นให้นำจำนวนชั้นที่เกิดขึ้น คือ 2 มารวมเข้ากับเวลาที่ได้ คือ 1.17 จะได้ 3.17 ทำการปรับให้เป็นเลขจำนวนเต็ม คือ 3 คะแนน ซึ่งคะแนนส่วนนี้มีผลกับการบอกถึงระดับความยากและง่ายของวงจรนั้น ๆ ว่าความซับซ้อนมามากน้องเพียงใด ดังตารางที่ 3-1

ตารางที่ 3-1 ระดับการเปรียบเทียบคะแนนความซับซ้อนของวงจร

คะแนน	ระดับความซับซ้อนของวงจร
1-10	น้อย
10-22	ปานกลาง
25-35	สูง
36-ขึ้นไป	สูงมาก

ซึ่งการทดสอบประสิทธิภาพของเทคนิคนี้จะทำการสนใจในเรื่องของเวลาและจำนวนชั้นเพราะในเวลาปกติการออกแบบวงจรหากมีจำนวนชั้นที่ใช้ในการออกแบบที่เยอะขึ้น แสดงถึงความซับซ้อนและความยากในการออกแบบของวงจรนั้น เมื่อใช้จำนวนชั้นที่มากขึ้นเวลาในการออกแบบนั้นก็จะมากตาม จึงเป็นเหตุที่จะทำการนำเสนอการทดสอบในบทต่อไป

บทที่ 4
ผลการวิจัย

เครื่องมือที่ใช้ในงานวิจัย

การพัฒนาโปรแกรมประยุกต์และทดสอบประสิทธิภาพการทำงานของระบบในงานวิจัยฉบับนี้ พัฒนาด้วยโปรแกรมภาษา JavaScript ที่ดำเนินการอยู่ภายใต้สถาปัตยกรรมแบบ Node ที่มีจำนวนซีพียู 4 คอร์ ด้วยระบบปฏิบัติการ Window10

ขอบเขตการทดสอบ

1. อุปกรณ์ที่ใช้ทดสอบเ เป็นอุปกรณ์ที่มีพินออกมาด้านข้างทั้งหมด (Boundary pin) และทำการสร้างขึ้นเองด้วยเครื่องมือการออกแบบ เนื่องจากอุปกรณ์ต่าง ๆ มีจำนวนขาที่ไม่เท่ากัน และมีการเรียงลำดับของพินขาที่แตกต่างกัน ขึ้นอยู่กับผู้ผลิตของตัวอุปกรณ์นั้น ๆ

2. จำนวนอุปกรณ์ที่ใช้ทดสอบ จะเป็นทางผู้ทำวิจัยกำหนดเอง มีจำนวนที่แตกต่างกันออกไปตามลักษณะความซับซ้อนของวงจรนั้น ๆ เช่น หากมีจำนวนอุปกรณ์ที่มากขึ้น ส่วนวงจรจะทำการออกแบบได้ยากขึ้นเช่นกัน

3. การให้คะแนนของความซับซ้อนของวงจรจะเป็นไปตามตารางที่ 3-1

วิธีการทดสอบ

การทดสอบแนวคิดและกระบวนการทำงานของเทคนิคการจัดลำดับพินเพื่อแนะนำสำหรับการเดินเส้นสัญญาณ ที่นำเอาเทคนิคการเรียงลำดับของการเชื่อมโยงในแต่ละพิน เพื่อนำมาทำผลสรุปและให้คะแนนระดับความซับซ้อนสำหรับการเดินเส้นสัญญาณที่ถูกต้องนั้น ภายในงานวิจัยฉบับนี้มีการนำเสนอ ผลการดำเนินงาน ในลักษณะของเวลาที่ใช้ในการประมวลผล และคู่อันดับเหตุการณ์ที่จะสามารถเกิดขึ้นได้

1. การทดสอบกำหนดเส้นคู่สัญญาณด้วยเทคนิคการจัดอันดับคู่พินในรูปแบบเซต

ในการทดสอบการกำหนดและการจัดคู่อันดับของเส้นสัญญาณนั้น สามารถแบ่งการทดสอบออกได้เป็น 4 ส่วน ได้แก่ การกำหนดคู่สัญญาณสำหรับเดินเส้นสัญญาณด้วยกระบวนการจัดลำดับพิน การคัดกรองคู่เส้นสัญญาณที่ไม่สามารถเดินได้ การเพิ่มจำนวนอุปกรณ์การทดสอบด้วยการสลับขา และการหมุนอุปกรณ์

1.1 การกำหนดคู่สัญญาณสำหรับเดินเส้นสัญญาณด้วยกระบวนการจัดลำดับพิน

ในการทดสอบการกำหนดคู่สัญญาณสำหรับเดินเส้นสัญญาณด้วยกระบวนการจัดลำดับพินนั้น งานวิจัยฉบับนี้ใช้การทดสอบการจัดลำดับพินด้วยกระบวนการจัดลำดับพิน โดยการจับระยะเวลาขณะที่ประมวลผลตั้งแต่เริ่มกระบวนการ จนกระทั่งสามารถจับคู่ของพินขาที่ได้สำเร็จ และจะใช้การทดสอบจากจำนวนเน็ตเนม (NetNames) ของอุปกรณ์ 8, 10, 16, 20, 28, 50, และ 72 ตามลำดับ โดย 1 เน็ตเนม จะมีการเชื่อมกันระหว่างพินขา 1 คู่

การทดลองนี้จะมีการสลับพินขาในการทดลองแต่ละครั้งเพื่อดูการทดสอบและกระบวนการกรอง รวมถึงเวลาที่ในการประมวลผล

```
U0:a,b,c,d,e,f,g,h,i,j,k,l,m,n,o,p,q,r,s,t,u,v,w,x
U1:a,b,c,d,e,f,g,h,i,j
U2:o,n,m,r,q,p
U3:t,s,u

Output
NSS = 0
Q = 9
Layer 1  PIN =  aa,mm,nn,oo,pp,qq,rr,ss,tt
PIN Remain =  [ 'b', 'c', 'd', 'e', 'f', 'g', 'h', 'i', 'j', 'k', 'l', 'u', 'v', 'w', 'x' ]
process:: 6.903ms
Layer 2  PIN =  bb,cc,dd,ee,ff,gg,hh,ii,jj,kk,ll,uu,vv,ww,xx
PIN Remain =  []
process:: 0.969ms
```

ภาพที่ 4-1 ผลการจัดลำดับจากกระบวนการจัดลำดับพินขาในรูปแบบของเซต

จากภาพที่ 4-1 จะเห็นได้ว่ากระบวนการจัดลำดับพินสามารถจัดลำดับพินออกมาในรูปแบบของเซตได้ ประโยชน์ที่ได้จากการทดลองนี้ คือ สามารถนำกระบวนการนี้ไปใช้ในการกรองคู่พินขาที่สามารถเดินเส้นสัญญาณได้ และยังช่วงกำหนดจำนวนคู่ที่เหมาะสมที่สุดในการเดินเส้นสัญญาณนั้น ๆ อีกด้วย

ตารางที่ 4-1 เวลาผลการจับคู่และทำการนำเส้นทางการเดินเส้นสัญญาณ

จำนวนคู่สัมพันธ์พินขาของอุปกรณ์	8	10	16	20	28	50	72
จำนวนอุปกรณ์	3	3	5	6	8	9	12
ช่วงเวลาในการประมวลผล ชั้นที่ 1 (ms)	2.258	1.698	2.134	1.705	13.154	12.801	10.88
ช่วงเวลาในการประมวลผล ชั้นที่ 2 (ms)	0.798	0.906	1.057	0.769	0.893	9.079	6.01
ช่วงเวลาในการประมวลผล ชั้นที่ 3 (ms)	-	-	-	0.082	-	2.05	2.546
ช่วงเวลาในการประมวลผล ชั้นที่ 4 (ms)	-	-	-	-	-	-	0.213
ผลรวมเวลาในการจับคู่	3.056	2.604	3.191	2.474	14.047	21.88	16.89
คะแนน	5	5	6	5	16	25	21

จากตารางที่ 4-1 จะเห็นได้ว่า เมื่อนำคู่พินขาผ่านกระบวนการการจัดลำดับจากกระบวนการจัดลำดับพินขาในรูปแบบของเซตนั้น นอกจากจะทำให้สามารถแยกคู่ลำดับในการเดินเส้นสัญญาณได้แล้ว ยังสามารถบอกความเหมาะสมในการเดินสัญญาณในชั้นอื่น ๆ ได้อีกด้วย

ซึ่งจะเห็นได้ว่าเมื่อมีจำนวนคู่ของพิขาที่มากขึ้นการที่จะเดินเส้นสัญญาณในชั้น ๆ เดียวนั้น ไม่สามารถดำเนินการได้

1.2 การคัดกรองคู่เส้นสัญญาณที่ไม่สามารถเดินเส้นสัญญาณได้

ในการทดสอบการคัดกรองคู่เส้นสัญญาณที่ไม่สามารถเดินเส้นสัญญาณได้นั้น โดย 1 เน็ตเนมจะมีการเชื่อมกันระหว่างพินขา 1 คู่ เช่นเดิม

```
U0:1,2,3,4,5,6,7,8,9
U1:4,6,3,1,5,2,10,11,12
U2:8,9,7
U3:11,10,12

Output
NSS = 3
Q = 8
Layer 1  PIN =  11,22,33,44,55,66,77,88,99
PIN Remain =  [ '10', '11', '12' ]
process:: 1.963ms
Layer 2  PIN =
PIN Remain =  [ '10', '11', '12' ]
process:: 0.877ms
```

ภาพที่ 4-2 การคัดกรองเส้นสัญญาณที่ไม่สามารถทำการเดินเส้นสัญญาณ

ในกรณีที่จะเกิดพินขาที่ไม่สามารถนำมาเดินเส้นสัญญาณได้จะเป็นไปตามภาพที่ 4-4 จะเห็นได้ว่ามีการกรองพินที่ไม่สามารถนำมาเดินเส้นสัญญาณได้ คือ พินขาที่ 10, 11 และ 12 ของ U1 เนื่องจากจำนวนพินขาที่ U0 นั้นไม่มีพิน 10, 11 และ 12 ประโยชน์จากการทดลองทำให้เห็นว่ากระบวนการที่นำมาใช้สามารถคัดกรอง และคาดการณ์ว่ามีพินที่น่าจะไม่สามารถเดินสัญญาณในชั้นนี้ได้อาจจะต้องทำการพิจารณาอีกรอบ

1.3 การสลับขาภายในของตัวอุปกรณ์

ในการทดลองนี้จะทำการใช้ตัวอย่างของชุดตัวอย่างที่มีคู่พินขา 8, 16 และ 28 คู่ มาทำการปรับเพิ่มอุปกรณ์โดยที่จำนวนที่จับคู่กันนั้นยังคงเป็นเท่าเดิม แต่จะมีการสลับขาของอุปกรณ์โดยจะทำการสลับทั้งหมด 3 รอบ เพื่อดูผลการจับคู่

```
U0:1,2,3,4,5,6,7,8,9,10,11,12
U1:1,2,3,4,5,6
U2:7,8,9
U3:10,11,12

Output
NSS = 0
Q = 3
Layer 1  PIN =  11,77,1010
PIN Remain =  [ '2', '3', '4', '5', '6', '8', '9', '11', '12' ]
process:: 4.074ms
Layer 2  PIN =  22,33,44,55,66,88,99,1111,1212
PIN Remain =  []
process:: 2.803ms
```

ภาพที่ 4-3 ผลการจับคู่เส้นสัญญาณ เมื่อยังไม่มีการสลับขาอุปกรณ์

```
U0:1,2,3,4,5,6,7,8,9,10,11,12
U1:2,4,6,1,5,3
U2:7,8,9
U3:10,11,12

Output
NSS = 0
Q = 7
Layer 1  PIN =  11,22,33,55,66,77,1010
PIN Remain =  [ '4', '8', '9', '11', '12' ]
process:: 2.467ms
Layer 2  PIN =  44,88,99,1111,1212
PIN Remain =  []
process:: 0.943ms
```

ภาพที่ 4-4 ผลการจับคู่เส้นสัญญาณ เมื่อทำการสลับขาแล้วของชุดอุปกรณ์ที่มีคู่พินสัมพันธ์ 12 พิน

จากการทดสอบการคัดกรองคู่เส้นสัญญาณที่ไม่สามารถออกแบบนั้น จะเห็นได้ว่าเมื่อกระบวนการจัดลำดับพินในรูปแบบของเซตนั้นสามารถจับคู่ของพินขาได้ทั้งหมด ซึ่งทำการสลับพินขาดังภาพที่ 4-4 จะส่งต่อระยะเวลาในการประมวลที่ปรับเปลี่ยนไปตามการจับคู่ของพินขานั้น

ตารางที่ 4-2 เวลาผลการจับคู่เมื่อทำการสลับขาของอุปกรณ์

จำนวนคู่สัมพันธ์พินขาของอุปกรณ์	8			16			28		
จำนวนอุปกรณ์	3			5			8		
ช่วงเวลาในการประมวลผลชั้นที่ 1 (ms)	3.73	2.26	2.27	1.70	3.59	2.13	12.16	13.15	20.2
ช่วงเวลาในการประมวลผลชั้นที่ 2 (ms)	1.12	0.79	0.62	4.14	2.55	1.06	1.11	0.89	1.10
ช่วงเวลาในการประมวลผลชั้นที่ 3 (ms)	-	-	-	-	0.71	-	-	-	-
ผลรวมเวลาในการจับคู่	4.85	3.06	2.89	5.84	6.14	3.19	13.27	14.05	21.3
คะแนนรวม	7	5	5	8	9	5	15	16	23

จากตารางที่ 4-2 จะเห็นได้ว่า การสลับขาส่งผลไปถึงเส้นสัญญาณที่สามารถลากได้ในแต่ละชั้นด้วยประโยชน์ที่ได้จากการทดลองนี้ ทำให้เห็นว่าการเลือกจับคู่พินขานั้นมีความสำคัญมาก

ต่อการออกแบบ ดังเช่น กรณีที่มีอุปกรณ์ตัวคู่พินสัมพันธ์ 16 คู่ จะเห็นได้ว่าการทำกระบวนการในรอบที่ 2 นั้น เกิดการเดินเส้ญญาณในชั้นที่ 3 ด้วยเวลาที่ 0.714 มิลลิวินาที่ อยู่ที่ 9 คะแนน

หากทำการเลือกผิดจะทำให้มีการออกแบบที่ยากยิ่งขึ้น เช่น กรณีที่มีอุปกรณ์ 8 ตัว และคู่พินขาสัมพันธ์ 28 คู่ แต่ใช้เวลาใรการประมวลผลถึง 14.05 หรือมีระดับคะแนนอยู่ที่ 16 คะแนน ซึ่งแสดงให้เห็นถึงความยากในการออกแบบเป็นอย่างมาก ถึงแม้ว่าจะเกิดการออกแบบเพียง 2 ชั้นเท่านั้น และด้วยเหตุนี้ทำให้เกิด จึงให้เกิดข้อสงสัย หากมีจำนวนพินคู่สัมพันธ์ที่มากขึ้นกว่านี้ การประมวลผลและระดับคะแนนจะมีผลอย่างไร

ในการทดลองนี้จะเป็นการทดสอบหากมีการย้ายของอุปกรณ์หรือมีการหมุนของตัวอุปกรณ์ วงจรตัวอย่างที่จะทำมาใช้เป็นวงจรที่มีคู่สัมพันธ์ที่ 50 คู่ และมีอุปกรณ์ทั้งหมด 8 ตัว โดยจะทำการสลับปรับเปลี่ยนขาหรือการหมุนขาไปทั้งหมด 10 รอบ บันทึกผลและลงคะแนน จากนั้นนำผลที่ได้คะแนนดีที่สุดมาทำการสลับอีก 10 รอบ และบันทึกผลและลงคะแนน

ตารางที่ 4-3 เวลาผลคะแนนการจับคู่เมื่อทำการสลับขาของอุปกรณ์ 8 ตัวและคู่พินสัมพันธ์ 50 คู่

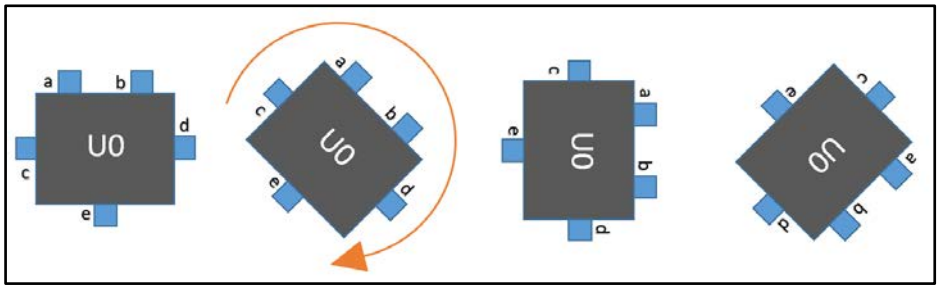
ช่วงเวลาที่ใช้ในการประมวลผล	ครั้งที่ 1	ครั้งที่ 2	ครั้งที่ 3	ครั้งที่ 4	ครั้งที่ 5	ครั้งที่ 6	ครั้งที่ 7	ครั้งที่ 8	ครั้งที่ 9	ครั้งที่ 10
ชั้นที่ 1 (ms)	14.70	2.78	5.80	3.08	2.27	2.95	2.74	5.40	2.82	4.05
ชั้นที่ 2 (ms)	8.55	16.72	1.90	1.22	0.92	1.14	1.14	3.99	5.58	3.58
ชั้นที่ 3 (ms)	10.02	13.71	0.23	0.77	0.42	0.73	0.73	2.59	1.99	1.25
ชั้นที่ 4 (ms)	17.24	11.55	-	-	-	-	-	-	-	-
ชั้นที่ 5 (ms)	16.66	9.22	-	-	-	-	-	-	-	-
ชั้นที่ 6 (ms)	7.79	8.46	-	-	-	-	-	-	-	-
ชั้นที่ 7 (ms)	16.54	2.15	-	-	-	-	-	-	-	-
ชั้นที่ 8 (ms)	18.53	0.45	-	-	-	-	-	-	-	-
ชั้นที่ 9 (ms)	27.16	-	-	-	-	-	-	-	-	-
ชั้นที่ 10 (ms)	15.73	-	-	-	-	-	-	-	-	-
เวลารวม (ms)	152.90	65.02	5.08	5.07	3.61	4.82	4.62	11.98	10.40	8.88
คะแนนรวม	164	73	8	8	7	8	8	15	13	12

จากตารางที่ 4-3 จะเห็นได้ว่า จำนวนอุปกรณ์ที่คู่พินสัมพันธ์มาก ไม่ได้แสดงว่าจะออกแบบได้ยากเสมอไป เพราะผลคะแนนที่เกิดขึ้นในระดับกว่า 10 คะแนน มีถึง 4 กรณี และในบางกรณีขึ้นถึง 11 ชั้นและมีระดับคะแนนอยู่ที่ 164 คะแนนซึ่งอยู่ในระดับวงจรมีความซับซ้อนมาก ๆ

การที่ช่วงเวลามีความมากที่ต่างกันในแต่ละชั้นนั้น แสดงให้เห็นว่าการคัดกรองในแต่ละชั้นมีการเหลือพินที่ยังทำการเดินเส้นสัญญาณไม่ได้มาก เวลาที่ใช้ในการประมวลผลกจะมากตามไปด้วย

1.4 การหมุนอุปกรณ์

ในการทดลองนี้จะมีการหมุนอุปกรณ์ตัวเดิมโดยจะทำการหมุนครั้งละ 45 องศา เพื่อจะทำการทดสอบ และบันทึกผลด้วยเทคนิคการจัดลำดับพินแบบเซต เพื่อวิเคราะห์ความแตกต่างจากการสลับพินขาของอุปกรณ์ โดยทำการหมุนของอุปกรณ์ทั้ง 8 ตัวและคู่พินสัมพันธ์ 50 คู่ แต่จะนำชุดที่มีคะแนนที่ดีที่สุดจากตารางที่ 4-3 นำมาทำการทดลอง



ภาพที่ 4-5 ลักษณะการหมุนของอปุกรณ์

ตารางที่ 4-4 เวลาผลคะแนนการจับคู่เมื่อทำการหมุนของอุปกรณ์ทั้ง 8 ตัวและคู่พินสัมพันธ์ 50 คู่

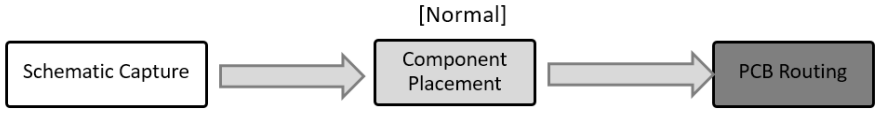
ช่วงเวลาที่ใช้ในการประมวลผล	รอบ 1	รอบ 2	รอบ 3	รอบ 4	รอบ 5	รอบ 6	รอบ 7	รอบ 8	รอบ 9	รอบ 10
ชั้นที่ 1 (ms)	2.27	2.98	3.34	3.86	3.17	2.98	17.16	3.82	10.34	5.89
ชั้นที่ 2 (ms)	0.92	3.29	1.69	4.86	2.52	1.27	29.62	1.16	13.79	4.20
ชั้นที่ 3 (ms)	0.42	0.65	0.73	0.49	0.76	0.48	32.68	0.36	16.71	0.23
เวลารวม (ms)	3.61	6.92	5.77	9.22	6.46	4.73	79.46	5.33	40.85	10.34
คะแนนรวม	7	10	9	12	9	8	82	8	44	13

จากตารางที่ 4-4 พบว่า ผลลัพท์ส่วนใหญ่มีผลคะแนนออกมาในระดับวงจรมีความซับซ้อนต่ำ แต่ก็มีผลที่ได้ถึง 82 คะแนน ในการหมุนครั้งที่ 7 ซึ่งแสดงให้เห็นว่า หากทำการวางอุปกรณ์ที่ผิดแบบการออกแบบจะทำได้ยากขึ้นตาม

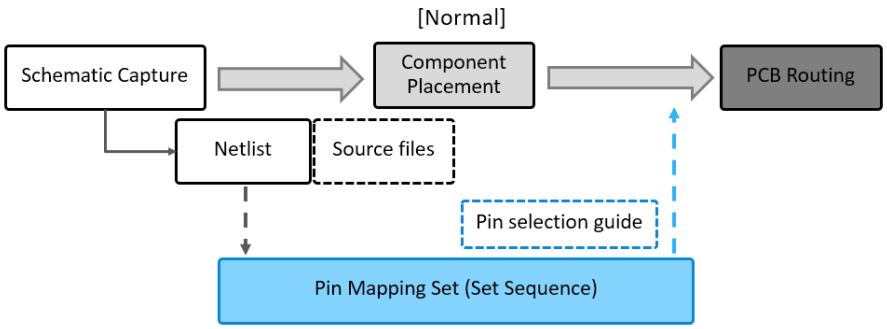
การหมุนของอุปกรณ์นั้นมีผลต่อเทคนิคการจัดลำดับพินขา เช่นกัน การทดสอบการสลับขาของอุปกรณ์หรือการหมุนของอุปกรณ์ มีผลลัพท์ที่ออกมาใกล้เคียงกัน โดยสามารถทำให้กระบวนการออกแบบมีระดับความยากหรือง่ายขึ้นอยู่กับปัจจัยการเชื่อมโยงกันของแต่ละพิน

2. การประยุกต์ใช้เทคนิคการจัดลำดับพินในรูปแบบเซต

ในการทดลองจะนำกระบวนการการจัดลำดับพินมาทำการประยุกต์ใช้จริงกับโปรแกรมออกแบบ Altium designer 2017 โดยจะทำการออกแบบในส่วน ผังวงจร และเดินเส้นสัญญาณบนบอร์ดวงจรปริ้น ซึ่งการนำกระบวนการการจัดลำดับพินจะถูกนำเข้ามาใช้หลังจากทำการสร้างผังวงจร โดยจะนำเน็ตเนมที่มีความสัมพันธ์ มาเข้ากระบวนการการจัดลำดับพิน ซึ่งมีขั้นตอนดังนี้

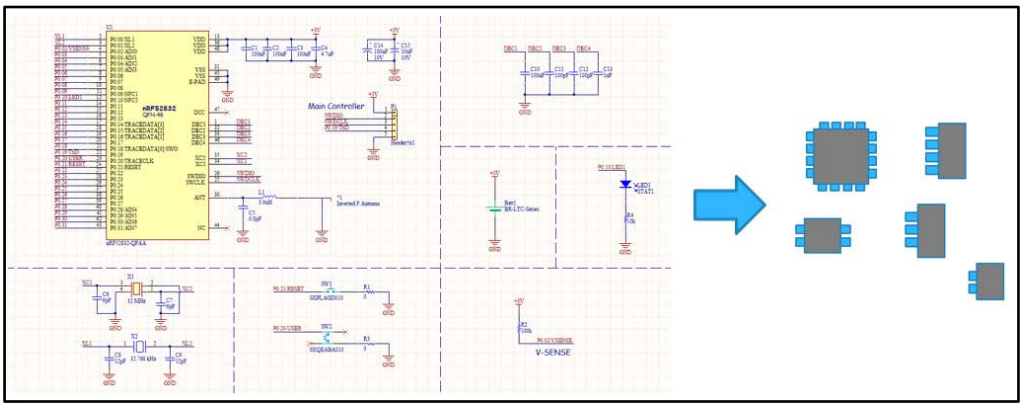


ภาพที่ 4-6 ขั้นกระบวนการออกแบบในลักษณะปกติ



ภาพที่ 4-7 ขั้นกระบวนการออกแบบเมื่อการเพิ่ม กระบวนการการจัดลำดับพิน เข้าไป

โดยพินขา และคู่สัมพันธ์จะถูกกำหนดขึ้น และถูกนำมาสร้างผังวงจรดังภาพที่ 4-7 จากนั้นทำการเข้ากระบวนการการจัดลำดับพิน ซึ่งจะทำการกำหนดเส้นและทิศทางในการเดินเส้นสัญญาณ



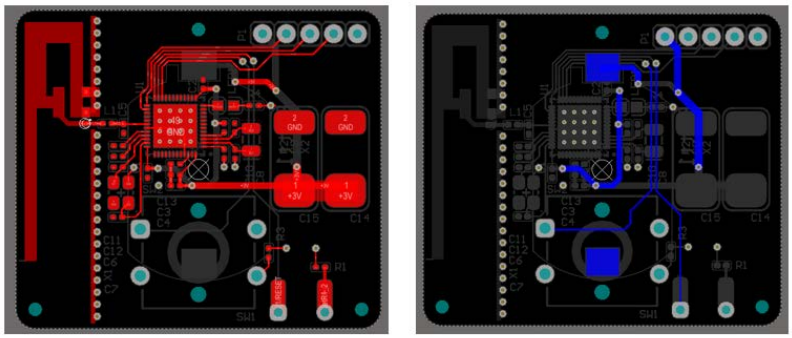
ภาพที่ 4-8 การเตรียมพินการและกำหนดลำดับพินเพื่อการเดินสัญญาณ

```
U0:swclk,swdio,dec4,dec3,dec2,dec1,xl1,xl2,LED1,Txd,USER,RESET
U1:swdio,swclk,Txd
U2:xl2,xc2,xc1,xl1
U3:RESET,USER
U4:dec4,dec3,dec2,dec1
U5:LED1

Output
NSS = 2
Q = 11
Layer 1  PIN =  swclkswclk,swdioswdio,dec4dec4,dec3dec3,dec2dec2,dec1dec1,xl2xl2,LED1LED1,TxdTxd,USERUSER,RESETRESET
PIN Remain = xl1
process:: 28.229ms
Layer 2  PIN =  xl1xl1
PIN Remain =
process:: 41.660ms
```

ภาพที่ 4-9 ผลลัพท์จากการใช้เทคนิคการจัดลำดับพินในรูปแบบเซต

เมื่อทำผลลัพท์จากภาพที่ 4-9 มาประยุกต์ใช้ในการออกแบบจริงด้วยโปรแกรมสำหรับออกแบบแผ่นปริ้น จะได้ดังภาพที่ 4-10

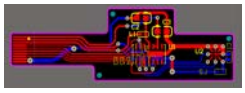


[Top Layer] [Bottom Layer]

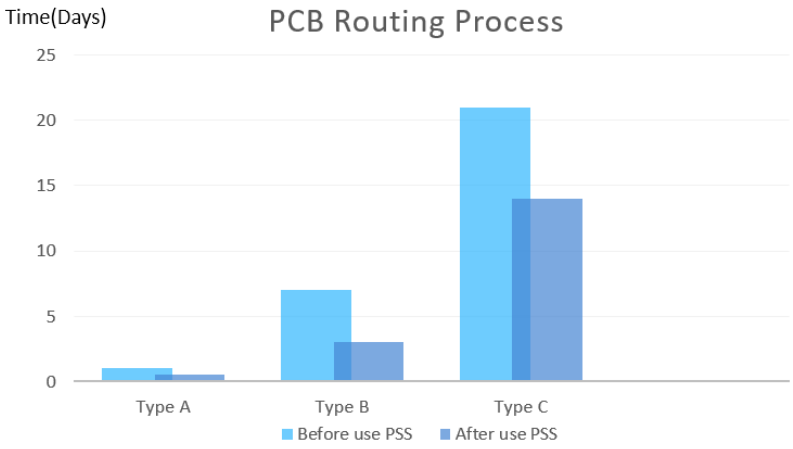
ภาพที่ 4-10 ลายวงจรที่ออกแบบตามการแนะนำด้วย เทคนิคการจัดลำดับพินในรูปแบบเซต

จากการได้นำมาทดสอบจริงบางคู่เส้นสัญญาณ ยังคงต้องเพิ่งตัวนักออกแบบเอง เพื่อความเหมาะสมในการออกแบบของเส้นสัญญาณนั้น ๆ และยังได้ทำการทดสอบกับการออกแบบจริงกับงาน 3 ชิ้น มีระดับคะแนนความยากแตกต่างกันออกไป โดยเทียบกับเวลาในการออกแบบของผู้ออกแบบเองก่อนใช้และหลังใช้เทคนิคการจัดลำดับพินในรูปแบบเซต

ตารางที่ 4-5 เปรียบเทียบเวลาระหว่างการออกแบบเส้นสัญญาณก่อนใช้และหลังใช้เทคนิคการจัดลำดับพินในรูปแบบเซต

PCB Type	การออกแบบเส้นสัญญาณก่อนใช้เทคนิคการจัดลำดับพินในรูปแบบเซต	การออกแบบเส้นสัญญาณหลังใช้เทคนิคการจัดลำดับพินในรูปแบบเซต	ระดับคะแนน
	1 Days	0.5 Day	3
	1 Week	3 Days	18
	3 Weeks	1 Weeks	37

สามารถนำผลการของการเปรียบเทียบเวลามาวาดกราฟได้ดังภาพที่ 4-10



ภาพที่ 4-11 กราฟแสดงการเปรียบเทียบเวลาระหว่างการออกแบบเส้นสัญญาณก่อนใช้และหลังใช้เทคนิคการจัดลำดับพินในรูปแบบเซต

จากการทดลองพบว่า ผลของระดับความยาก และความซับซ้อนของอุปกรณ์นั้น ส่งผลต่อการออกแบบเส้นสัญญาณทั้งสิ้น จึงจำเป็นต้องจัดการที่ดี เช่น การวางที่ถูกต้อง การหมุนที่ได้ตำแหน่งของอุปกรณ์นั้น ๆ แต่อย่างไรก็ตามการออกแบบเส้นสัญญาณยังคงมีระดับความซับซ้อนนอกจากการจัดการระดับของพินอีกหลายกรณี การออกแบบที่ถูกต้องที่สุดยังคงต้องอาศัยความเชี่ยวชาญและประสบการณ์ของผู้ออกแบบหรือผู้พัฒนา

บทที่ 5
สรุปผลการทดลอง

สรุปผลการศึกษา

จากการทดลองการใช้กระบวนการจัดลำดับพินในรูปแบบเซต มาประยุกต์ใช้ในการคัดเลือกและจับคู่ของความสัมพันธ์ของพินขาของอุปกรณ์ในแต่ละตัว สามารถช่วยในการตัดสินใจในการเดินเส้นสัญญาณบนบอร์ดวงจรปริ้นได้จริง และยังมีหลักการคิดที่ง่าย สามารถทำความข้าใจได้รวดเร็ว โดยในการนำกระบวนการของเซตเข้ามาประยุกต์ใช้จึงทำให้กระบบวนการประมวลผลการจัดลำดับคู่นั้นเกิดขึ้นในเวลาอันสั้น ไม่ส่งผลต่อการเดินเส้นสัญญาของผู้ออกแบบ และจากการทดสอบการสลับพินทำให้พบการเรียงของขาอุปกรณ์นั้น ส่งผลต่อเวลาในการประมวลผล และการเดินเส้นสัญญาณในชั้นนั้นอีกด้วย

ปัญหาที่พบระหว่างการทดลอง

จากการทดลองปัญหาที่พบเจอ คือ กระบวนการดังกล่าวยังไม่สามารถคัดกรองคู่พินขาบางประเภทได้ในขั้นตอนที่รวดเร็ว โดยจะมีการเพิ่มชั้นขึ้นไปเรื่อย ๆ ทำให้เกิดการสร้างชั้นใหม่โดยเกินความจำเป็น และรูปแบบการเรียงของพินขาอุปกรณ์บางรูปแบบ ไม่สามารถจัดลำดับหรือคัดกรองลำดับคู่พินได้ เป็นเหตุทำให้เกิดการสร้างชั้นเพื่อรองรับการลากสัญญาณที่มากขึ้นอีกด้วย

ข้อเสนอแนะและแนวทางในอนาคต

จากผลลัพธ์ในการทดลอง การกรองพินเพื่อคัดเลือกเมื่อมีจำนวนขาที่เพิ่มขึ้น จะมีการทำกระบวนการที่มีการกรองได้ไม่หมดทุกส่วน ซึ่งทำให้เกิดการขึ้นชั้นใหม่จำนวนมากโดยไม่จำเป็น ดังนั้นเพื่อเป็นการลดปัญหา จำเป็นจะต้องมีการปรับขั้นตอนการกรองใหม่ เพื่อจะได้ทำการคัดกรองและจับคู่ เมื่อลดจำนวนการเกิดชั้นที่จะเกิดขึ้นโดยไม่จำเป็น และนอกจากนี้ยังเป็นการลดเวลาการทำงานของผู้ออกแบบอีกด้วย

บรรณานุกรม

Chin Ching-Yu, Kuan Chung-Yi, Tsai Tsung-Ying, Chen Hung-Ming & Kajitani Yoji. (2013). *Escaped Boundary Pins Routing for High-Speed Boards.* IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.

Kong Hui, Yan Tan, Martin D.F. Wong & Ozdal M.M. (2007). *Optimal Bus Sequencing for Escape Routing in Dense PCBs.* Computer-Aided Design, 2007. ICCAD 2007. IEEE/ACM International Conference on.

Luo Lijuan, Yan Tan, Ma Qiang, Martin D.F. Wong & Shibuya Toshiyuki. (2011). *A New Strategy for Simultaneous Escape Based on.* IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.

Luo Lijuan & Martin D.F. Wong (2008). *Ordered escape routing based on Boolean satisfiability.* Design Automation Conference, 2008. ASPDAC 2008. Asia and South Pacific.

Shi Rui, Cheng & Chung-Kuan. (2006). *Efficient escape routing for hexagonal array of high density I/Os.* Design Automation Conference, 2006 43rd ACM/IEEE.

Tsai Tsung-Ying, Lee Ren-Jie, Chin Ching-Yu, Kuan Chung-Yi, Chen Hung-Ming & Kajitani Yoji. (2011). *On routing fixed escaped boundary pins for high speed boards.* Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011.

Martin D.F. Wong & Ozdal M.M. (2006). *Algorithms for simultaneous escape routing and Layer assignment of dense PCBs.* IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.

Martin D.F. Wong & Ma Qiang. (2012). *NP-Completeness and an Approximation Algorithm for Rectangle Escape Problem With Application to PCB Routing.* IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.

Yan Tan, Wu Pei-Ci, Ma Qiang & Martin D.F. Wong (2010). *On the escape routing of differential pairs.* Computer-Aided Design (ICCAD), 2010 IEEE/ACM International Conference on.

Yan Tan & Martin D.F. Wong (2009). *BSG-Route: A Length-Constrained Routing Scheme for General Planar Topology.* IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.